

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月19日
Date of Application:

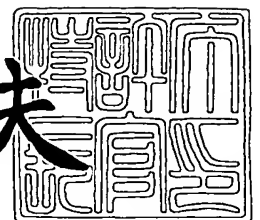
出願番号 特願2003-328742
Application Number:
[ST. 10/C]: [JP2003-328742]

出願人 株式会社東芝
Applicant(s):

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3084700

【書類名】 特許願
【整理番号】 03P166
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 野口 充宏
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 合田 晃
【発明者】
 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝 横浜事業
 所内
 【氏名】 新田 博行
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100092820
 【弁理士】
 【氏名又は名称】 伊丹 勝
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-204508
 【出願日】 平成15年 7月31日
【手数料の表示】
 【予納台帳番号】 026893
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

互いに平行に配置された複数のデータ選択線、これらのデータ選択線と交差するように互いに平行に配置された複数のデータ転送線、及びこれらのデータ選択線とデータ転送線の交差部に配置された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、

前記メモリセルアレイのデータ選択線を駆動するデータ選択線ドライバと、

前記メモリセルアレイのデータ転送線に接続されて、前記データ選択線の一つにより選択されたメモリセルのデータ読み出しを行うセンスアンプ回路と、

前記メモリセルアレイのデータ読み出しのタイミング制御に用いられる、前記メモリセルアレイの選択されたデータ領域に応じて異なる少なくとも二種のタイミング信号を出力する制御回路とを有する

ことを特徴とする半導体記憶装置。

【請求項 2】

前記メモリセルアレイは、前記データ選択線の方に前記データ選択線の一つにより同時に選択される少なくとも一つの第一領域と少なくとも一つの第二領域とに分けられ、

前記制御回路は、同時に選択される前記第一領域と第二領域のデータ読み出しを第 1 のサイクルタイムで行うに必要なタイミング信号を出力する第 1 のタイミング回路と、前記第二領域の選択的なデータ読み出しを前記第 1 のサイクルタイムより短い第 2 のサイクルタイムで行うに必要なタイミング信号を出力する第 2 のタイミング回路とを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記メモリセルアレイは、前記データ転送線の方にそれぞれ複数のデータ選択線を含む複数のセルブロックに分けられている

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】

前記メモリセルアレイは、前記データ選択線の方に前記データ選択線の一つにより同時に選択される一つの第一領域と一つの第二領域とに分けられ、

前記データ選択線ドライバは、前記データ選択線の前記第二領域側の端部に配置されている

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】

前記メモリセルアレイは、前記データ選択線の方に前記データ選択線の一つにより同時に選択される少なくとも二つの第一領域とこれらの第一領域の間に挟まれた少なくとも一つの第二領域とに分けられ、

前記データ選択線ドライバは、前記データ選択線の両端部に前記セルブロック毎に振り分けて配置されている

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】

前記メモリセルアレイは、前記データ選択線の方に前記データ選択線の一つにより同時に選択される少なくとも一つの第一領域とこの第一領域の両側に配置された少なくとも二つの第二領域とに分けられ、

前記データ選択線ドライバは、前記データ選択線の両端部に前記セルブロック毎に振り分けて配置されている

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 7】

前記各セルブロックは、それぞれ異なるデータ選択線により駆動される、直列接続された複数のメモリセルと、その少なくとも一端を対応するデータ転送線に接続する選択ゲートトランジスタと備えた NAND 型セルユニットを配列して構成されている

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 8】

前記各セルブロックは、それぞれ異なるデータ選択線により駆動される、並列接続された複数のメモリセルと、その少なくとも一端を対応するデータ転送線に接続する選択ゲートトランジスタと備えたAND型又はバーチャルグラウンド型セルユニットを配列して構成されている

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 9】

前記メモリセルアレイの複数カラムのデータを連続的に読み出すための、読み出し可能な最小サイクルタイムが異なる少なくとも二つのデータ読み出しモードを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 1 0】

前記メモリセルアレイの選択メモリセルにデータを書き込むための、書き込み状態を確認するためのペリファイ読み出し動作を含むデータ書き込みモードを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 1 1】

前記センスアンプ回路に読み出されたデータの少なくとも 1 ビットの誤り訂正を行うための誤りビット訂正回路を有する

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 1 2】

前記第二領域は、前記第一領域のメモリセルを置き換えるためのメモリセル領域、前記第一領域に書き込まれるデータの誤り訂正コードを記録するECC記録領域及び、第一領域の全消去や書き込み状態を記憶するフラグ領域の少なくとも一つとなる

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 1 3】

データ書き込みサイクルのペリファイ読み出し時に前記センスアンプ回路に読み出されたデータに基づいて全書き込みデータの書き込み完了を判定するためのペリファイ判定回路と、

前記ペリファイ判定回路の前記第一領域対応の複数の第 1 の判定出力端子と前記第二領域対応の第 2 の判定出力端子を共通接続する判定出力線の前記第 1 の判定出力端子と第 2 の判定出力端子の間に挿入されたスイッチ素子とを有する

ことを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 1 4】

カラムアドレスを記憶する初期設定記憶回路と、

入力されたカラムアドレスと前記初期設定記憶回路が記憶するカラムアドレスの一致検出を行うカラムアドレス一致検出回路と、

前記カラムアドレス一致検出回路の出力に基づいて前記第一領域の不良カラムを前記第二領域のカラムで置換するためのアドレス変換を行うカラムアドレス変換回路とを有し、

前記カラムアドレス変換回路は、前記メモリセルアレイの複数カラムのデータを連続的に読み出すモードにおいて、前記第二領域のデータが最後に出力されるように論理カラムアドレスと物理カラムアドレスの変換を行う論理／物理アドレス変換回路を有する

ことを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 1 5】

前記論理／物理アドレス変換回路は、論理カラムアドレスの最上位ビットを反転するインバータを有する

ことを特徴とする請求項 1 4 記載の半導体記憶装置。

【請求項 1 6】

互いに平行に配置された複数のデータ選択線、これらのデータ選択線と交差するように互いに平行に配置された複数のデータ転送線、及びこれらのデータ選択線とデータ転送線の交差部に配置された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、

前記メモリセルアレイのデータ選択線を駆動するデータ選択線ドライバと、

前記メモリセルアレイのデータ転送線に接続されて、前記データ選択線の一つにより選

扱われたメモリセルのデータ読み出しを行うセンスアンプ回路と、

入力される論理アドレスにより順に選択されるべき物理アドレスの少なくとも一部の順序を入れ替えるための、そのアドレス出力が前記センスアンプ回路に入力される論理／物理アドレス変換回路とを有する

ことを特徴とする半導体記憶装置。

【請求項 1 7】

前記メモリセルアレイは、前記データ転送線の方にそれぞれ複数のデータ選択線を含む複数のセルブロックに分けられている

ことを特徴とする請求項 1 6 記載の半導体記憶装置。

【請求項 1 8】

前記各セルブロックは、それぞれ異なるデータ選択線により駆動される、直列接続された複数のメモリセルと、その少なくとも一端を対応するデータ転送線に接続する選択ゲートトランジスタと備えた N A N D 型セルユニットを配列して構成されている

ことを特徴とする請求項 1 7 記載の半導体記憶装置。

【請求項 1 9】

前記各セルブロックは、それぞれ異なるデータ選択線により駆動される、並列接続された複数のメモリセルと、その少なくとも一端を対応するデータ転送線に接続する選択ゲートトランジスタと備えた A N D 型又はバーチャルグラウンド型セルユニットを配列して構成されている

ことを特徴とする請求項 1 7 記載の半導体記憶装置。

【請求項 2 0】

前記センスアンプ回路に読み出されたデータの少なくとも 1 ビットの誤り訂正を行うための誤りビット訂正回路を有する

ことを特徴とする請求項 1 7 記載の半導体記憶装置。

【請求項 2 1】

前記論理／物理アドレス変換回路は、前記メモリセルアレイの複数カラムのデータを連続的に読み出すモードにおいて、データの誤り訂正コードを記録する E C C 記録領域の論理アドレスと物理アドレスの少なくとも一部の順序を入れ替える

ことを特徴とする請求項 2 0 記載の半導体記憶装置。

【請求項 2 2】

前記メモリセルアレイは、前記データ選択線の方に前記データ選択線の一つにより同時に選択される少なくとも二つの第一領域とこれらの第一領域に挟まれて、第一領域のカラムを置き換えるためのメモリセル領域及び第一領域に書き込まれるデータの誤り訂正コードを記録する E C C 記録領域となる一つの第二領域とに分けられ、

前記データ選択線ドライバは、前記データ選択線の両端部に前記セルブロック毎に振り分けて配置され、

前記データ選択線の一つにより同時に選択される前記第一領域と第二領域のデータ読み出しを第 1 のサイクルタイムで行うに必要なタイミング信号を出力する第 1 のタイミング回路と、前記第二領域の選択的なデータ読み出しを前記第 1 のサイクルタイムより短い第 2 のサイクルタイムで行うに必要なタイミング信号を出力する第 2 のタイミング回路とを有する制御回路を備えた

ことを特徴とする請求項 1 7 記載の半導体記憶装置。

【請求項 2 3】

カラムアドレスを記憶する初期設定記憶回路と、

入力されたカラムアドレスと前記初期設定記憶回路が記憶するカラムアドレスの一致検出を行うカラムアドレス一致検出回路と、

前記カラムアドレス一致検出回路の出力に基づいて前記第一領域の不良カラムを前記第二領域のカラムで置換するためのアドレス変換を行うカラムアドレス変換回路とを有し、

前記論理／物理アドレス変換回路は、前記メモリセルアレイの複数カラムのデータを連続的に読み出すモードにおいて、前記第二領域のデータが最後に出力されるように論理カ

ラムアドレスと物理カラムアドレスの変換を行う
ことを特徴とする請求項 22 記載の半導体記憶装置。

【請求項 24】

前記論理／物理アドレス変換回路は、論理カラムアドレスの最上位ビットを反転するインバータを有する

ことを特徴とする請求項 23 記載の半導体記憶装置。

【請求項 25】

入出力ポートを介して読み出し或いは書き込みされるデータのビット数 n が、 m を自然数として、 $(2^m - 1 - m) < n \leq (2^m - m - 1)$ で表される場合に、前記メモリセルアレイの一つのデータ選択線に沿って少なくとも $(n + m)$ 個のメモリセルが配置されることを特徴とする請求項 11 又は 20 記載の半導体記憶装置。

【請求項 26】

請求項 1 又は 16 記載の半導体記憶装置が搭載され、前記メモリセルアレイのある領域へのデータ書き込み後、他の領域へのデータ書き込みと同時に前記ある領域に関する書き込み完了フラグが書き込まれる

ことを特徴とするファイルシステム。

【請求項 27】

請求項 1 又は 16 記載の半導体記憶装置が搭載され、データ書き込みが電源遮断により中断された後の再書き込みが、データ消去状態からのデータ書き込みに比べて短時間で行われる

ことを特徴とするファイルシステム。

【書類名】 明細書

【発明の名称】 半導体記憶装置

【技術分野】

【0001】

この発明は、電氣的書き換え可能な半導体記憶装置に関する。

【背景技術】

【0002】

電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）が種々開発されている。MOSFET構造のメモリセルは、電荷蓄積層にチャネルから絶縁膜を介してトンネル電流によって注入した電荷をデジタルビット情報として格納し、その電荷量に応じたMOSFETのコンダクタンス変化を測定することにより、情報が読み出される。中でも、メモリセルを複数個直列或いは並列接続してセルユニットを構成するNAND型EEPROMやAND型EEPROMは、選択トランジスタゲートの数をメモリセルよりも大幅に減らすことができ、高密度化することができる。

【0003】

大容量NAND型EEPROMでは、セルユニットがロウ方向（データ選択線方向）及びカラム方向（データ転送線方向）にそれぞれ複数個配置される。ロウ方向に並ぶセルユニットの集合は通常データ一括消去の単位となるセルブロックを構成する。またNAND型EEPROMのメモリセルアレイには一般に、通常のデータ記憶行のためのノーマルセルアレイと、不良カラム置換を行うための冗長セルアレイが含まれる。冗長セルアレイは、ノーマルセルアレイのデータ選択線方向の一端部に配置される。各セルブロックのデータ選択線を駆動するデータ選択線ドライバは、配置を容易にすると共に、データ選択線間のスキューをそろえるために、メモリセルアレイの両側に振り分けて配置する方式が提案されている（例えば特許文献1参照）。

【0004】

NAND型EEPROMのデータ選択線レイアウトや回路構成は、特許文献1、2等に開示されており、またセンスアンプ構成や冗長回路構成については、特許文献3-5に開示されている。

【0005】

NAND型EEPROMのセルサイズを微細化し、メモリセルの制御ゲートを共通接続するデータ選択線の長さを長くしてメモリセルアレイの高密度化を図ると、データ選択線（ゲート配線）抵抗が増大し、その配線遅延が大きくなる。このため、読み出しや書き込み時にデータ選択線を駆動するためのタイミングパルスは、データ選択線に沿って配置されたすべてのメモリセルについて読み書きができるように必要な時間幅を確保する必要がある、これが読み出しや書き込みの高速化を阻害する。具体的にその配線遅延の問題を以下に説明する。

【0006】

図41は、NAND型EEPROMにおける一つのデータ選択線ドライバ2により駆動されるNANDセルユニット49a~49cの範囲を示している。セルユニット49a~49bは、通常のデータ記憶を行うノーマルセルアレイ100に含まれ、セルユニット49cは冗長セルアレイ101に含まれる。これらのノーマルセルアレイ100と冗長セルアレイ101に連続するように配設されたデータ選択線（ワード線）WL0~WL15及び選択ゲート線SSL、GSLが、ノーマルセルアレイ100の片側に配置されたデータ選択線ドライバ2により駆動される。

【0007】

ここでは、データ読み出し時、データ選択線WL14が選択された場合を説明する。選択データ選択線WL14には、セルデータを判定するに必要な読み出し電圧Vrefが与えられ、非選択データ選択線WL0~WL13、WL15には、セルデータに拘わらずメモリセルをオンさせるに必要なパス電圧Vreadが与えられる。

【0008】

図42は、読み出し時の非選択データ選択線WL15上のノードA、B及び選択データ選択線WL14上のノードC、Dに着目した電圧波形を示している。残りの非選データ選択線WL0～WL13の波形は、基本的に非選択データ選択線WL15のそれとほぼ同じである。A、Cは、ノーマルセルアレイ100内において、よりデータ選択線ドライバ2に近いノードであり、B、Dは、冗長セルアレイ101内のデータ選択線ドライバ2から最も離れたノードである。

【0009】

データ選択線WL15上のノードAの電圧は、破線で示すように、データ選択線ドライバ2に近いため、タイミング t_0 に接地電位GNDから立ち上がり、ほぼタイミング t_1' でVreadまで上昇する。同じデータ選択線WL15上のノードBは、データ選択線ドライバ2から離れているために、配線のCR時定数が大きく、実線で示すように、タイミング t_0 にGNDから立ち上がるが、タイミング t_1' よりも遅れて、タイミング t_1 でVreadまで上昇する。

【0010】

データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_1' - t_0)$ と $(t_1 - t_0)$ との比は、データ選択線ドライバ2からノードAまでのデータ選択線の長さの自乗と、データ選択線ドライバ2からノードBまでのデータ選択線の長さの自乗との比にほぼ等しくなる。よって、データ選択線の長さが長くなるほど、その長さの自乗に比例して立ち上がりの遅延時間は増大する。

【0011】

選択データ選択線WL14は、データ選択線ドライバ2の出力により、パス電圧Vreadより低い読み出し電圧Vrefに保たれる。しかし、パス電圧Vreadの立ち上がり時、隣接するデータ選択線WL15およびWL13からの容量結合によって、データ選択線WL14の電圧が上昇する。図42に示すように、データ選択線ドライバ2に近いノードCでは、この電圧上昇は小さいが、データ選択線ドライバ2から遠いノードDでは、隣接するデータ選択線WL15およびWL13のデータ選択線ドライバ2の配線容量および配線抵抗が大きくなるために、電圧上昇がより大きくなる。

【0012】

ノードAにおいては、タイミング t_1' 以降は、データ選択線WL13およびWL15の電圧Vreadが一定となる。このためデータ選択線WL14は、その後電圧上昇はなく、データ選択線ドライバ2を通じて放電する。ノードCはタイミング t_2' でほぼVrefに戻り、ノードDはこれより遅れて、タイミング t_2 でほぼVrefに戻る。データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_2' - t_1')$ と $(t_2 - t_1)$ との比は、データ選択線ドライバ2からノードCまでのデータ選択線の長さの自乗と、データ選択線ドライバ2からノードDまでのデータ選択線の長さの自乗との比にほぼ等しくなる。よって、データ選択線の長さが長くなるほど、その長さの自乗に比例してデータ選択線WL14の電圧変動の立ち下がりの遅延時間は増大する。メモリセルのしきい値と読み出し電圧Vrefとの差によってメモリセルの電流が決定されるため、この読み出し電圧Vrefが一定となってから、メモリセルの電流を測定する必要がある。

【0013】

これ以降、タイミング t_3 にパス電圧Vreadを接地電位GNDに低下させることにより、読み出しが終了する。このとき、データ選択線WL15のデータ選択線ドライバ2に近いノードAは、タイミング t_4' でGNDまで低下するが、データ選択線ドライバ2から遠いノードBは、これより遅れて、タイミング t_4 でGNDまで低下する。データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_4' - t_3)$ と $(t_4 - t_3)$ との比は、データ選択線ドライバ2からノードAまでのデータ選択線の長さの自乗と、データ選択線ドライバ2からノードBまでのデータ選択線の長さの自乗との比にほぼ等しくなる。よって、データ選択線の長さが長くなるほど、その長さの自乗に比例して立ち下がりの遅延時間は増大する。

【0014】

以上から、データ選択線ドライバ2から遠いNANDセルユニット49cのメモリセルの読み出しに必要な時間範囲T2はt2からt3までであり、データ選択線ドライバ2に近いセルユニット49aのメモリセルの読み出しに必要な時間範囲T1はt2'からt3までとなる。しかし、セルユニット49a, 49b, 49cを一度に読み出す従来の読み出し方法では、NANDセルユニット49cの読み出し時間範囲T2に律速されるから、長い読み出しサイクルタイムが必要となる。

【0015】

図42では読み出し時のパルスについて示したが、書き込み時においても、書き込みパルス電圧の立ち上がり及び立下り時間は、データ選択線ドライバ2から遠いNANDセルユニットのメモリセルほど長くなる。従って、最もデータ選択線ドライバ2から遠いメモリセルに律速された長い書き込みサイクル時間が必要となる。

【0016】

さらに、冗長セルアレイ101内のメモリセル（スペアカラム）で、ノーマルセルアレイ100内の不良メモリセルを含むカラムを置換する場合に、データ選択線ドライバ2から最も遠いNANDセルユニット49cのカラムによって、データ選択線ドライバ2に最も近いNANDセルユニット49aの不良カラムを置き換える可能性がある。よって、データ選択線ドライバ2から最も遠いNANDセルユニット49cのメモリセルとデータ選択線ドライバ2に最も近いNANDセルユニット49aのメモリセルの両方で読み出しおよび書き込み動作ができるように、タイミング余裕を大きく確保する必要があった。

【0017】

【特許文献1】特開2000-76880公報

【特許文献2】特開2001-150784公報

【特許文献3】特開2001-167592公報

【特許文献4】特開2000-21190公報

【特許文献5】米国特許第6,421,272明細書

【発明の開示】

【発明が解決しようとする課題】

【0018】

以上述べたように、メモリセルを複数個直列または並列接続したセルユニットをマトリクス配列した半導体メモリでは、データ選択線を長くしてセルユニット数を増やすと、データ選択線間の容量結合とデータ選択線のCR時定数による遅延のため、データ選択線ドライバから遠いメモリセルでの読み出しパルスや書き込みパルス電圧が安定するまで必要な時間余裕が増大する。このため、書き込みおよび読み出しの高速化が困難になる。さらに、冗長セルアレイのスペアカラムで、ノーマルセルアレイ内の不良カラムを置換した場合に、データ選択線ドライバから最も遠いメモリセルと最も近いメモリセルの両方で正常に読み出しおよび書き込み動作ができるように、タイミング余裕を大きく確保することが必要があった。

【0019】

この発明は、読み出し及び書き込みの高速化を図った半導体記憶装置を提供することを目的としている。

【課題を解決するための手段】

【0020】

この発明の一態様による半導体記憶装置は、互いに平行に配置された複数のデータ選択線、これらのデータ選択線と交差するように互いに平行に配置された複数のデータ転送線、及びこれらのデータ選択線とデータ転送線の交差部に配置された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、前記メモリセルアレイのデータ選択線を駆動するデータ選択線ドライバと、前記メモリセルアレイのデータ転送線に接続されて、前記データ選択線の一つにより選択されたメモリセルのデータ読み出しを行うセンスアンプ回路と、前記メモリセルアレイのデータ読み出しのタイミング制御に用いられる、前記メモリ

セルアレイの選択されたデータ領域に応じて異なる少なくとも二種のタイミング信号を出力する制御回路とを有する。

【発明の効果】

【0021】

この発明によれば、読み出し及び書き込みの高速化を図った半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0022】

以下、図面を参照して、この発明の実施の形態を説明する。

以下の実施の形態において、トランジスタ (MISFET) の“オン”とは、トランジスタのしきい値電圧よりも高いゲート電圧印加により、ソースとドレイン間が導通状態になることをいい、トランジスタの“オフ”とは、トランジスタのしきい値電圧よりも低いゲート電圧印加により、ソースとドレイン間が遮断状態になることをいう。トランジスタの“しきい値電圧”は、ソース・ドレイン間に流れる電流が、 $40\text{ nA} \times (\text{チャネル幅}) / (\text{ゲート長さ})$ となるゲート電圧である。

【0023】

また以下の実施の形態において、論理レベルは、しきい値電圧が正のNMOSトランジスタとしきい値電圧が負のPMOSトランジスタを用いたCMOSインバータを基本とするCMOS論理回路のそれに準じる。特に異なる言及をしない限り、論理“H”は、NMOSトランジスタのしきい値電圧以上の正電圧の範囲 (例えば 0.5 V から 1.5 V) であり、それ未満が論理“L”である。以下の実施の形態では、“H”、“L”に相当する電圧値をそれぞれ、“Vcc”、“GND” (或いは“Vss”) で記す場合があるが、これらは、それぞれ電源電圧Vccに対して、 $Vcc/2 \sim Vcc$ 、 $Vcc/2 \sim 0\text{ V}$ の範囲の電圧であればよい。しきい値が負のトランジスタを用いても、ゲート電圧の可変範囲にしきい値が含まれるようにすればよい。

【0024】

[実施の形態1]

図1は、一実施の形態によるEEPROMの機能ブロック構成を示している。

メモリセルアレイ1は、外部入力端子I/Oから与えられたデータを記憶するための“ノーマルデータ領域” (第一領域) であるセルアレイ (以下、ノーマルセルアレイ) 100と、“冗長領域” (第二領域) としてのセルアレイ (以下、冗長セルアレイ) 101とを有する。冗長セルアレイ101は、ノーマルセルアレイ100のロウ方向の一端側即ち、メモリセルアレイ1のデータ選択線を駆動するデータ選択線ドライバ2に近い側に配置されている。

【0025】

冗長セルアレイ101は、この実施の形態の場合、ノーマルセルアレイ100の不良メモリセルを含むカラムを置き換えるためのスペアカラムセル領域、ノーマルセルアレイ100に書き込まれるデータのECC (Error Correcting Code) を記録するECC記録領域及び、メモリセルの全消去や書き込み状態を記憶するフラグ領域となる“冗長領域”である。但し、これらの冗長領域のうち少なくとも一つを含む場合にこの発明は有効である。

【0026】

メモリセルアレイ1のデータ転送線のデータをセンスし、あるいは書き込みデータを保持するために、センスアンプ回路46が設けられている。センスアンプ回路46はデータレジスタを兼ねており、後述するようにデータラッチを主体として構成される。センスアンプ回路46は、内部データ線DI/O2を介してデータ入出力バッファ45に接続されている。これらの間の接続は、アドレスバッファ47からカラムアドレス変換回路36を介してアドレス信号を受けるカラムデコーダ48の出力によって制御されて、データ入出力バッファ45に与えられたデータのメモリセルアレイ1への書き込み、読み出しデータのデータ入出力バッファ45への読み出しが可能となる。

【0027】

メモリセルアレイ1のメモリセルの選択を行うため、具体的には後述するデータ選択線および選択ゲート線（ブロック選択線）の制御をするために、ロウデコーダ3が設けられている。データ選択線ドライバ2は、ロウデコーダ3の出力に従って各種電圧出力を、書き込みまたは読み出しが必要なメモリセルのデータ選択線や選択ゲート線に印加するためのスイッチ回路である。この実施の形態では、データ選択線ドライバ2は、メモリセルアレイ1のロウ方向の一端側、即ち冗長セルアレイ101側にのみ配置されている。

【0028】

基板電位制御回路42は、メモリセルアレイ1が形成されるp型基板（またはp型ウェル）の電位を制御するために設けられており、特にデータ消去時に10V以上に昇圧された消去電圧を出力するように構成される。高電圧発生回路41（41a～41d）は、メモリセルアレイ1の書き込み及び読み出しに用いられる各種電圧を発生する。具体的には高電圧発生回路41は、データ書き込みを行う際に選択メモリセルに与えられる、電源電圧より昇圧された書き込み電圧 V_{pgm} を発生するための V_{pgm} 発生回路41a、データ書き込み時に非選択メモリセルに与えられる書き込み用中間電圧（パス電圧） V_{pass} を発生するための V_{pass} 発生回路41b、データ読み出し時に非選択メモリセルに与えられる読み出し用中間電圧（パス電圧） V_{read} を発生する V_{read} 発生回路41cおよび、読み出し時選択セルのしきい値判定を行うための読み出し電圧 V_{ref} を与える V_{ref} 発生回路41dを有する。

【0029】

高電圧発生回路41は、書き込み、消去、および読み出しの各状態で、必要な電圧出力がデータ選択線ドライバ2に加えられるように、制御回路40によって制御されている。書き込み電圧 V_{pgm} は、6V以上30V以下の電圧であり、書き込みパス電圧 V_{pass} は3V以上15V以下の電圧、読み出しパス電圧 V_{read} は1V以上9V以下の電圧である。パス電圧 V_{read} は、NAND型メモリセルアレイの場合、“0”データ書き込みしきい値の上限よりも1V程度高い電圧とすることが、読み出しセル電流を十分確保し且つ、非選択セルでのディスタ urb を低下させる上で望ましい。読み出し電圧 V_{ref} は、通常読み出し時には、データ“1”，“0”のしきい値分布の中間に設定される。例えば、データ“1”を負のしきい値状態、データ“0”を正のしきい値状態としてデータ記憶する場合には、通常読み出し時の読み出し電圧 V_{ref} は0Vとすることができる。書き込みベリファイ読み出し時には、この読み出し電圧 V_{ref} は、“0”データのしきい値分布の下限値に設定される。

【0030】

制御回路40は、上述した高電圧発生制御を行う他、コマンド入力に基づいて、読み出し動作制御や書き込みおよび消去のシーケンス制御を行う。このため、制御回路40からは各種タイミング制御信号がセンスアンプ回路46、ベリファイ判定回路38等へ供給される。この実施の形態においては、制御回路40は、読み出し時にメモリセルアレイ1内のどの領域が選択されたかに応じて、 V_{read} 発生回路41cが出力するパス電圧 V_{read} の時間幅を異ならせるべく制御するために、二種の読み出しタイミング回路401及び402が設けられている。この様な二種の読み出しタイミング回路を用いることによって、以下の全ての実施の形態において、連続に読み出すデータ列の長さを等しくしても、冗長セルアレイ領域を選択的に高速で読み出すことが可能になる。

【0031】

ベリファイ判定回路38は、データ書き込み状態を確認するベリファイ読み出しの結果により書き込み完了を判定するための回路である。データ書き込みは、書き込みパルス電圧印加動作とその後のベリファイ読み出し動作を含む書き込みサイクルが、同時に選択される全てのセルの書き込みが完了するまで繰り返される。ベリファイ判定回路38は、各書き込みサイクルにはおいて、ベリファイ読み出しの結果、全選択セルの書き込みが完了したか否かを判定するために用いられるものである。ベリファイ判定出力 L_{vfy} は、この実施の形態の場合、全ての選択セルの書き込みが完了した場合に“L”、一つでも書き

込み不十分なセルがある場合に“H”となる信号である。

【0032】

制御回路40は、このベリファイ判定出力Lvfyに基づいて、書き込みシーケンスを終了し、或いは次の書き込みサイクルの制御を行う。ベリファイ判定回路38の判定出力端子部には、メモリセルアレイ1のなかのノーマルセルアレイ100対応の複数の判定出力端子と、冗長セルアレイ101対応の出力端子があり、これらを共通接続する判定出力線には、ノーマルセルアレイ100対応の複数の判定出力端子と冗長セルアレイ101対応の出力端子の間を選択的に切り離すためのスイッチ素子39が設けられている。このスイッチ素子39の機能の詳細は後述する。

【0033】

初期設定記憶回路（不良アドレス記憶回路）35には、メモリセルアレイ1の不良カラム置換を行うために、不良カラムアドレスがプログラムされる。そして、入力されたアドレスと不良アドレス記憶回路35が保持する不良カラムアドレスとの一致検出を行ってカラムアドレス変換回路36を制御するために、カラムアドレス一致検出回路34が設けられている。

データ入出力バッファ35と外部I/O端子の間には、誤りビット訂正回路5が設けられている。

【0034】

図2A及び図2Bは、メモリセルアレイ1とセンスアンプ回路46及びベリファイ判定回路38の部分のより具体的な構成を示している。マトリクス配列されるセルユニット49, 49'は、単一又は複数ページを含み、同時に消去が行われるメモリセルの集合であり、NAND型やAND型セルユニットが用いられる。例えば、電荷蓄積層を有したフラッシュメモリセルのように、1ページのメモリセルの消去時間が1ページのメモリセルの書き込み時間よりも長い場合には、セルユニットは複数のページを含み、複数のページで一度に消去動作を行われるように構成されることが、1セルユニットあたりの書き込み時間と1セルユニットあたりの消去時間とを同程度にすることができ、システムから見た書き込みデータ転送速度と消去速度のパフォーマンスを向上させることができ望ましい。

【0035】

ロウ方向に並ぶ複数のセルユニット49, 49'には、共通にデータ選択線（ワード線）WL0~WL15及び選択ゲート線SSL, GSLが配設される。カラム方向に並ぶセルユニット49と49'の容量は異なってもよいが、この実施の形態では同じ容量とする。この実施の形態では具体的に、セルユニット49, 49'は、図32に示すNAND型セルユニットを用いている。複数のメモリセルM0~M15は直列接続され、それぞれの制御ゲートは異なるデータ選択線WL0~WL15により駆動される。図2Aに示すように、複数のセルユニット49, 49'が接続されたデータ選択線WL0~WL15の右端に、これらのデータ選択線を駆動するデータ選択線ドライバ2が配置される。1つのデータ選択線ドライバ2に接続されたデータ選択線につながるセルユニット49, 49'の集合は、一括データ消去の範囲となるセルブロックBLK（BLK0, BLK1, …）を構成する。従ってメモリセルアレイ1は、データ転送線BLの方向に複数のセルブロックBLKに分けられている。

【0036】

図32に示すように、セルユニット49, 49'の一端は、選択ゲートトランジスタS1を介して第1のデータ転送線（ビット線）BLに接続され、他端は選択ゲートトランジスタS2を介して第2のデータ転送線（ソース線）SLに接続されている。データ転送線BLは、データ選択線WL0~WL15と直交するように配設される。選択ゲートトランジスタS1, S2のゲートは、データ選択線WL0~WL15と並行する、ブロック選択のための選択ゲート線SSL, GSLに接続されている。

【0037】

セルユニット49, 49'内のそれぞれのメモリセルM0~M15は、データ転送線BLとデータ選択線WL0~WL15の各交点に形成され、それぞれ独立にデータの保持お

よび読み出しが可能である。メモリセルM0～M15はこの実施の形態の場合、電荷蓄積層を有し、その電荷蓄積層の電荷量でデータを表わすトランジスタである。この実施の形態では、フラッシュメモリを対象としているため、セルユニット49又は49'の全メモリセルは一括消去(しきい値が負の“1”データ状態)され、その後、書き込みデータにしたがって、必要なメモリセルのしきい値を高くする“0”データ書き込み動作が行われる。

【0038】

NAND型セルユニットの具体的な構成を、図35～図37に示す。図35は、ロウ方向の3つのセルユニットの並列部分のレイアウトを示している。ここでは、セル構造をわかりやすくするために、制御ゲート127よりも下の構造のみを示している。電荷蓄積電極126を有するMOSトランジスタからなる不揮発性メモリセルは、シリコン基板のp型ウェル上に形成されている。メモリセルの制御ゲート127は、データ選択線(ワード線)WL0～WL15に接続されている。データ転送線(ビット線)BLに沿った複数のセルユニットから1つのセルユニットを選択してデータ転送線に接続するため、選択ゲートトランジスタS1、S2のゲート電極はそれぞれ選択ゲート線SSL、GSLに接続されている。

【0039】

選択ゲート線SSL、GSLはメモリセルの制御ゲート127及び電荷蓄積層126と同じ層の導電体によって形成されて、データ選択線WLと並行に配設されている。この実施の形態では、セルユニット49が二つの選択ゲートトランジスタを有する場合を示しているが、これらは少なくとも一方があればよい。またセルユニット49が16個のメモリセルを含む例を示しているが、データ転送線およびデータ選択線に接続するメモリセルの数は複数であればよく、一般に 2^n 個(n は正の整数)であることがアドレスデコードをする上で望ましい。

【0040】

図36及び図37はそれぞれ、図35のB-B'およびA-A'断面図である。セルアレイは、シリコン基板121の、ボロン濃度が 10^{14} cm^{-3} から 10^{19} cm^{-3} の間のp型ウェル123に形成されている。具体的に、p型ウェル123に3～15nmの厚さのシリコン酸化膜(またはオキシナイトライド膜)125からなるトンネルゲート絶縁膜を介して、電荷蓄積層となる浮遊ゲート126(選択トランジスタのゲート126SSL、126GSLを含む)が形成されている。浮遊ゲート126は、リンまたは砒素を 10^{18} cm^{-3} ～ 10^{21} cm^{-3} 添加した、厚さ10nm～500nmのポリシリコンである。

【0041】

浮遊ゲート126は、シリコン酸化膜からなる素子分離絶縁膜124により区画されたp型ウェル123の素子形成領域に自己整合的に形成されている。これは、例えば、p型ウェル123にトンネル絶縁膜125と浮遊ゲート126となるポリシリコン膜を全面堆積した後、これをパターニングして得られる。このパターニングのためのエッチング工程は、p型ウェル123が0.05～0.5 μm の深さエッチングされるまで行う。その後素子分離絶縁膜124が埋め込まれる。これにより、浮遊ゲート126は段差のない平面をもって形成される。

【0042】

浮遊ゲート126上には、厚さ5nm～30nmのシリコン酸化膜またはオキシナイトライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるブロック絶縁膜150(選択トランジスタ部のブロック絶縁膜150SSL、150GSLを含む)を介して、制御ゲート127(選択トランジスタのゲート127SSL、127GSLを含む)が形成されている。制御ゲート127は、リン、砒素またはボロンを 10^{17} ～ 10^{21} cm^{-3} の濃度で添加したポリシリコン、WSi(タングステンシリサイド)とポリシリコンとのスタック構造、或いはNiSi、MoSi、TiSi或いはCoSiとポリシリコンのスタック構造であり、厚みが10nm～500nmである。制御ゲート12

7は、図35に示すように、隣接するセルユニットで共有されるように、図36の断面でセルブロック境界まで連続するように形成されており、これがデータ選択線WL0~WL15となる。

【0043】

p型ウェル123は、n型シリコン領域122によってp型半導体基板121と電氣的に分離され、基板121と独立に電圧印加できるようになっている。これは、データ消去時の昇圧回路負荷を減らし消費電力を抑えるために望ましい。この実施の形態のメモリセルのゲート構造は、図36に示すように、素子分離絶縁膜124で側壁が覆われた状態になる。従って、制御ゲート127の形成前のエッチングで浮遊ゲート126の側面が露出することがなく、制御ゲート127が素子分離領域でp型ウェル123に接触する事態を防ぐことができる。これにより、p型ウェル123と素子分離絶縁膜124との境界での、ゲート電界集中やしきい値低下による寄生トランジスタが生じにくくなる。さらに、電界集中に起因する書き込みしきい値の低下現象、いわゆる、サイドウォーク (side walk) 現象が生じにくくなり、信頼性の高いメモリセルが得られる。

【0044】

図37に示すように、パターニングされた積層ゲート電極の両側には、5nm~200nmの厚さのシリコン窒化膜 (またはシリコン酸化膜) からなる側壁絶縁膜143が形成され、また積層ゲート電極に自己整合されたソース、ドレインとなるn型拡散層128が形成されている。これら拡散層128、電荷蓄積層126、および制御ゲート127により、電荷蓄積層126に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMセルが形成されている。このメモリセルのゲート長は、好ましくは0.5μm以下、0.01μm以上とする。n型拡散層128は、例えばリンや砒素、アンチモンを表面濃度が 10^{17} cm^{-3} から 10^{21} cm^{-3} となるように深さ10nmから500nmの間で形成される。

【0045】

n型拡散層128は隣接するメモリセルで共有されて、複数のメモリセルが直列接続されたNANDストリングが構成される。選択トランジスタのゲート126SSL、126GSLは、それぞれ浮遊ゲート電極126と同層で形成されている。これらのゲート電極126SSL、126GSLのゲート長は、メモリセルのゲート長よりも長く、例えば、1μm以下、0.02μm以上に形成することが好ましい。これにより、ブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0046】

選択ゲートトランジスタのゲート127SSLの外側に形成されたn型拡散層128dは、コンタクトプラグ131dを介して、タンゲステンやタンゲステンシリサイド、チタン、チタンナイトライド、またはアルミニウムからなるデータ転送線 (BL) 136に接続されている。データ転送線136は、カラム方向に配置された複数のセルユニットで共有されるように、図36の紙面に垂直な方向に連続するように、メモリセルアレイ境界まで形成されている。もう一つの選択ゲートトランジスタのゲート127GSLの片側に形成されたn型拡散層128sは、コンタクトプラグ131sを介してソース線 (SL) 133と接続されている。ソース線SLは、隣接するセルユニットで共有されるように、図37の紙面に直交する方向に連続して、メモリセルアレイ境界まで形成されている。

【0047】

メタル等によるソース線133を設けることなく、n型拡散層128Sを連続パターンでメモリセルアレイ境界まで形成して、これをソース線としてもよい。コンタクトプラグ131d、131sは、コンタクト孔130d、130sに例えばn型またはp型にドーパされたポリシリコンやタンゲステン、タンゲステンシリサイド、Al、TiN、Tiなどが充填されて形成されている。これらのソース線SLとビット線BLの間及び、これらとメモリセルとの間には、SiO₂やSiNからなる層間絶縁膜168によって充填されている。ビット線BL上部には、例えばSiO₂、SiN、ポリイミド等の絶縁膜保護層137で覆われる。図では省略しているが、絶縁保護膜137の上には更に、W、AlやC

u からなる上部配線が形成される。

【0048】

図2A及び図2Bに示すように、ノーマルセルアレイ100の偶数番のデータ転送線BL11~BL1kと奇数番のデータ線BL21~BL2kは、選択信号SEL1, SEL2により駆動される選択トランジスタQ11~Q1k, Q21~Q2kにより選択的にセンスアンプ(ノーマルセンスアンプSA1~SAk)46に接続される。冗長セルアレイ101のデータ転送線BL1r, BL2rも同様に、選択信号SEL1, SEL2により駆動される選択トランジスタQ1r, Q2rにより選択的にセンスアンプ(冗長センスアンプSAr)46に接続される。

【0049】

図2Aでは、説明を簡単にするために、冗長セルアレイ101のデータ転送線を、奇偶1本ずつ示しているが、より多くのスペアデータ転送線を用意することができる。ノーマルセルアレイ100のデータ転送線数2kは、一般に $k=2^n$ (nは正の整数)である。代表的には、ノーマルセルアレイ100のデータ転送線総数2kを512以上とし、その1%~10%程度のデータ転送線数を冗長セルアレイ101に割り当てるのが、メモリセル占有率を増大させより低コストのメモリを形成するために行われる。

【0050】

ベリファイ判定回路38は、書き込みベリファイ時に各センスアンプ46のノードN1のレベルを検出するレベル検出回路61と、この検出回路61によるチェックノードNCの放電の有無により書き込み終了を判定するための判定回路62を有する。チェックノードNCには、ソースがVccに接続されたPMOSトランジスタMP1のゲートが接続されている。PMOSトランジスタMP1のドレインは、不良カラム置換のためのフューズ(Fv1~Fvk, Fvr)63を介して判定出力線64a, 64bに接続されている。チェックノードNCにはまた、制御回路40から送られる制御信号PREVFYにより制御されて、チェックノード63をVccにプリチャージするためのPMOSトランジスタMP2が接続されている。

【0051】

レベル検出回路61は、チェックノードNCと接地端子GNDの間に直列接続されたNMOSトランジスタMN1, MN2を有する。NMOSトランジスタMN1のゲートは各センスアンプ46の出力ノードN1に接続され、NMOSトランジスタMN2のゲートは、制御回路40から供給される制御信号VFYにより制御される。

【0052】

具体的に、センスアンプ46のノードN1は、書き込みが充分に行われていない場合に“H”出力が得られる。書き込み動作後のベリファイ読み出し時、制御信号PREVFY(=“H”)によって、チェックノードNCはVccに、出力線64a, 64bは、それぞれVssにプリチャージされる。そして、制御信号PREVFYに遅れて供給されるベリファイ制御信号VFY(=“H”)により検出回路61が活性化されると、注目するセルの書き込みが十分である場合(N1=“L”)、NMOSトランジスタMN1はオフを保ち、チェックノードNCは放電されない。従って全てのセルが書き込み十分であれば、判定出力線64(64a, 64b)は“L”を保つ。書き込みが不十分なセルがある場合(N1=“H”)、NMOSトランジスタMN1がオンになり、制御信号VFYによりNMOSトランジスタMN2がオンすると、対応するチェックノードNCは放電される。これによりPMOSトランジスタMP1がオンになり、Lvfy=“H”の判定出力が得られるようになっている。

【0053】

この実施の形態においては、ノーマルセルアレイ100対応のフューズ(Fv1~Fvk)63の各端子が共通接続される出力線64aと、冗長セルアレイ101対応のフューズ(Fvr)63の端子が接続された出力線64bとの間に、スイッチ素子39を構成するNMOSトランジスタMN4が接続されている。そのゲートには、制御回路40からのスイッチ制御入力が入る。図では、冗長セルアレイ101対応のフューズ63が一つの場

合を示しているが、冗長カラムが複数ある場合には、複数個の冗長セルアレイが用意される。そしてその場合、スイッチ素子39は、それらの冗長セルアレイ101対応の複数のフューズの間に配置することもできる。

【0054】

前述のように、不良カラムがある場合には、フューズ $F_{v1} \sim F_{vk}$ のうち不良カラム対応のフューズが切断され、冗長カラム対応のフューズ F_r が導通状態を保持する。これにより、ノーマルセルアレイ100内の不良メモリセルを含むカラムを、冗長セルアレイ101内のカラムに置き換えることができる。スイッチ素子39がオンの場合、ベリファイ判定回路38は、フューズ $F_{v1} \sim F_{vk}$ 、 F_{vr} が導通状態にあるセンスアンプ46でセンスされているメモリセルに対して、ベリファイ判定が行われる。

【0055】

一方、メモリセルアレイ1のなかで冗長セルアレイ101のみについて書き込みや読み出しを行うモードにおいては、スイッチ素子39をオフにする。これにより、フューズ $F_{v1} \sim F_{vk}$ の状態やノーマルセルアレイ100のメモリセルの書き込み状態によらず、冗長セルアレイ101側の、フューズ f_{vr} が導通状態にあるセンスアンプ46でセンスされているメモリセルに対して、ベリファイ判定が行われる。

【0056】

前述のように、冗長セルアレイ101は、ノーマルセルアレイに与えられたデータのECC記録領域、メモリセルの全消去や書き込み状態を記憶するフラグ領域、不良メモリセルをカラムとして置き換えるためのスペアカラム領域である。ベリファイ判定回路出力線の冗長セルアレイ101とノーマルセルアレイ100の境界位置にスイッチング素子39を設けることにより、ノーマルセルアレイ100の不良メモリの置き換えを冗長セルアレイ101で行った影響を受けずに、高速でECC記憶領域やフラグ領域を読み出すことが可能になる。

【0057】

この実施の形態では（以下の他の実施の形態も同様であるが）、入出力ポートを介して読み出し或いは書き込みされるデータのビット数 n が、 m を自然数として、 $(2^m - 1 - m) < n \leq (2^m - m - 1)$ である場合、少なくとも $(n + m)$ 個以上のNANDセルユニット49がデータ選択線WLの方向に配置される。そして、一つのデータ選択線で同時に選択されるメモリセルの範囲を1ページとして用いる。図2A及び2Bの構成では、択一的に選択される二つのビット線に一つずつセンスアンプ46が配置されている。

【0058】

このようにメモリセルを配列することにより、例えば、ハミング符号を用いてノーマルセルアレイ100の1ページの読み出しデータの1ビット誤りを検出し、その位置を求めることができる。一般には、 t を自然数として一連のシーケンスで読み出されるデータビット数 n が、 $[2^m - 1 - t \times (m - 1) - 1]$ より大きく、 $(2^m - t \times m - 1)$ 以下である場合、少なくとも $(n + m)$ 個以上のセルユニット49をデータ選択線方向に配置して、一つのデータ選択線で同時に選択されるメモリセルの範囲を1ページとする。

【0059】

この場合、データを記憶するノーマルセルアレイ100に対応するセンスアンプ数はデータビット数となり、並列する全センスアンプ数がデータビット数に冗長セルアレイ101のビット数を加えたものとなる。このとき冗長セルアレイ101のビット数は $t \times m$ ビット以上存在するのが誤り訂正には望ましい。このようにメモリセルを準備することにより、例えば、Bose-Chaudhuri-Hocquenghem (BCH) 符号を用いてノーマルセルアレイ100の一連のシーケンスで読み出された t ビットのビット誤りを検出し、その位置を求めることができる。

【0060】

説明をわかりやすくするために、以下では、符号化前のデータ列を情報ビット、符号化後に付加されるビットを検査ビット、復号化後のデータ列で、情報ビットに引き続き誤り位置を示すビットをシンドロームと呼ぶことにする。図1に示すように、データ入出力バ

バッファ45と外部I/O端子の間には、誤りビット訂正回路5が配置されている。誤りビット訂正回路5は、データの誤り訂正を行うだけでなく、データの符号化、および復号化の両方を行う回路となっていることが望ましい。これには、公知である巡回RS（リードソロモン）符号回路やCRC（Cyclic Redundancy Check）回路で容易に実現することができる。

【0061】

誤りビット訂正回路5は、データ入出力バッファ45から出力された一連のデータのビット誤りを検出および訂正し、さらに、その位置を特定し、外部入出力端子I/Oに出力する。この誤りビット訂正回路5としては、例えば、1ビットのエラー訂正が必要な場合には、公知の巡回ハミング符号復号器を用いればよい。勿論、他の符号系、例えば、一般のBCH符号やM系列符号、畳み込み符号（convolutional code）、差集合巡回符号でも良く、それらを組み合わせても良い。ただし、データ入出力バッファ45と誤りビット訂正回路5の間のデータ線DI/O1の数を少なくするためには、時系列で情報ビットを与えられ、少ない回路規模で符号化および復号化できる巡回符号であることが望ましい。

【0062】

畳み込み符号としては、例えば1bit誤り訂正可能なワイナー・アッシュ符号（Wyner-Ash code）やバースト誤り訂正可能な岩垂符号（Iwadare code）、ハーゲルバーガー符号（Hagelbarger code）を用いることができる。また、この場合は、その拘束長（constraint length）を前記ページ長よりも短くすることにより、1つの誤り訂正符号で符号化した場合よりも、復号化に対して最初の誤り訂正情報の出力を早く得ることができる。このようにすることにより、1ページ全部を1つの誤り訂正符号で符号化した場合よりも、復号化に対して最初の誤り訂正情報の出力を早く得ることができ、かつ、符号ビット長の情報ビット長に対する割合を小さくし、効率よい符号化を実現することができる。

【0063】

誤りビット訂正回路5は、ここでは論理回路で形成する場合を想定しているが、例えば、アキュムレータとメモリ素子によって形成したマイクロコード演算器のソフトウェアや、シーケンサ（sequencer）のハードウェアによって実現しても良い。ただし、誤りビット検出回路5は検出および訂正ビット数が少ない場合には、ハードウェアで実現した方が、回路面積が小さくクロック遅れが少なくデータ出力できより望ましい。これら、復号回路や誤り訂正符号化手段については、本実施の形態に限らず、以後述べるすべての実施の形態について有効である。

【0064】

図3は、センスアンプ回路46のセンスユニット構成を示している。センスユニットは、インバータINV1, 2を逆並列接続したデータラッチ（データレジスタ）461を有する。データラッチ461の一方のノードN2は、カラム選択信号CSLにより制御されるNMOSトランジスタMN13を介して内部データ線DI/O2に接続され、また制御信号φ2により制御されるNMOSトランジスタMN12を介して選択されたビット線BLに接続される。他方のノードN1は、センスノードNSでのデータセンス結果が転送されるノードでありまた、ベリファイ判定回路38へのセンス結果出力ノードともなる。

【0065】

ビット線データをセンスするためのセンスノードNSは、センス用NMOSトランジスタMN15のゲートに接続されている。センスノードNSは、制御信号φ4により制御されるクランプ用NMOSトランジスタMN16を介してデータ転送線（ビット線）BLに接続される。センスノードNSには、センスノードNS及びデータ転送線BLを電圧V1にプリチャージするために、制御信号φ1により制御されるプリチャージ用NMOSトランジスタMN11が接続されている。センス用NMOSトランジスタMN15のドレインは、制御信号φ3により制御されるNMOSトランジスタMN14を介してデータラッチ461のノードN1に接続される。

【0066】

このセンスアンプ46による書き込み及び読み出しの動作原理は次の通りである。書き込みデータは、内部データ線DI/O2からNMOSトランジスタMN13を介してノードN2にロードされる。この書き込みデータの“H”，“L”レベルは、NMOSトランジスタMN12を介して選択されたビット線BLに転送される。詳細は後述するが、この書き込みデータに応じてNANDセルユニットのチャネルがプリチャージされ、その後選択データ選択線に書き込みパルス電圧を印加することにより、選択セルへの書き込みが行われる。

【0067】

読み出し時は、まずセンスノードNS及びビット線BLを電圧V1にプリチャージする動作が行われる。その後、選択セルによりセンスノードNS及びビット線BLが放電されるか否かを検出することで、セルデータが判定される。センス結果はデータラッチ461に保持する。書き込みとベリファイ読み出しについて後に詳細な動作説明を行うが、この実施の形態のセンスアンプ46は、書き込みが不十分なセルについてのみ、ノードN1が“H”となるセンス結果が得られるようになっている。このノードN1のセンス結果が、前述したようにベリファイ判定回路38に送られ、書き込みサイクルの終了判定に供される。

【0068】

図4は、データ選択線ドライバ2とロウデコーダ3の具体的な構成を示している。ロウデコーダ3は、イネーブル信号RDENBにより活性化されて、ブロックアドレスRAi，RBi，RCiがオール“H”であることを検出するブロックアドレス選択回路である。選択されたセルブロックについて、ブロック選択信号RDECIは“H”となり、これがデータ選択線ドライバ2の活性化信号となる。

【0069】

ブロック選択信号RDECIは、制御信号BSTONおよび電源Vccによりそれぞれゲートが制御されるデプレッション型（D型）NMOSトランジスタQ701、Q702を介して、ノードN0に転送される。Vccは、1Vから5Vまでの範囲の電圧であり、例えば3.3Vとする。これらのトランジスタQ701、Q702は高耐圧トランジスタであり、しきい値は0V以下、-2V以上、典型的には-1Vに設定される。ノードN0により駆動されるエンハンスメント型（E型）NMOSトランジスタQ600～Q615，Q621，Q622はそれぞれ、データ選択線WL0～WL15，選択ゲート線SSL，GSNを駆動する駆動トランジスタアレイを構成している。これら駆動トランジスタも高耐圧トランジスタであり、しきい値は0V以上、2V以下、典型的には0.6V程度に設定される。

【0070】

E型NMOSトランジスタQ704，Q705、イントリンシック型（I型）NMOSトランジスタQ703、MOSキャパシタC71，C72およびインバータ74の部分は、高電圧発生回路から出力される電圧VRDECをノードN0に電圧降下なく転送するための、チャージポンプ回路を利用したスイッチ回路を構成している。電圧VRDECは、具体的には、動作モードに応じて図1のVpgm発生回路41aから発生される書き込み電圧Vpgm、Vpass発生回路41bから発生されるパス電圧Vpass、Vread発生回路41cから発生されるパス電圧Vread、あるいはVccである。I型NMOSトランジスタQ703のしきい値は、0V以上、1V以下、例えば、0.2V程度に設定される。これらスイッチ回路も高耐圧トランジスタを用いて構成される。

【0071】

キャパシタC71およびC72は、D型NMOSトランジスタを用いたMOSキャパシタである。選択セルブロックについてノードN0に“H”が転送されると、電圧VRDECがドレインに与えられたNMOSトランジスタQ704がオンして、電圧VRDECはこのNMOSトランジスタQ704及びダイオード接続されたNMOSトランジスタQ703を介して、ノードN0に転送される。チャージポンプ作用は、ブロック選択出力RD

ECIと方形波入力CRDが入るNANDゲート73によって制御される。

【0072】

ブロック選択信号RDECIが“H”のときに、NANDゲート73の出力には方形波出力が現れる。この方形波出力により、互いに逆相駆動されるキャパシタC71およびC72とNMOSダイオードQ703の部分でチャージポンピングが行われる。この結果、MOSトランジスタQ703およびQ704のしきい値分の電圧降下を伴うことなく、電圧VRDECはノードN0に転送されることになる。NMOSトランジスタQ705のしきい値をVthとすると、ノードN0の電圧は、VRDEC+Vth以下に抑えられる。

【0073】

ノードN0によりゲートが共通に駆動されるトランジスタQ600～Q615、Q621、Q622は、セルブロック内のデータ選択線WL0～WL15、選択ゲート線SSL、GSLをそれぞれ駆動するドライバトランジスタである。これらのドライバトランジスタがオンになることで、それらの一方の端子CG0～CG15、SGN11、SGN12に動作モードに応じて与えられた電圧がそれぞれデータ選択線WL0～WL15、選択ゲート線SSL、GSLに転送される。

【0074】

この実施の形態のEEPROMのデータ読み出し、書き込みおよび消去の動作をデータ選択線ドライバ2に着目しながら説明する。データ読み出し時、選択セルユニットのワード線WL1が選択されたとすると、これにつながる端子CGN1が読み出し電圧Vrefに設定される。読み出し電圧Vrefは、メモリセルの“0”，“1”に対応するしきい値の中間（例えば1V）に設定される。残りの非選択データ選択線につながる端子CGN0、CGN2～CGN15は、Vread発生回路41cから出力される、メモリセルの“0”データしきい値の最大値よりも高いパス電圧Vead（例えば4V）に設定される。選択ゲート線SSL、GSLにつながる端子SGN11、SGN12にもパス電圧Veadが与えられる。

【0075】

データ読み出し中は、ドライバ回路2に与えられる電圧VRDECはパス電圧Vreadよりもわずかに高い値に設定される。また制御信号BSTONが“L”になり、ノードN0とNANDゲート73の入力端の間が分離される。そして、RDECI=“H”が入力されたNANDゲート73を発振出力CRDが通り、これによってチャージポンプ回路が動作して、ノードN0にはほぼ電圧VRDECが転送される。この結果、ドライバNMOSトランジスタQ600～Q615、Q621、Q622がオンになり、端子CGN0～CGN15、SGN11、SGN12の電圧がデータ選択線WL0～WL15、選択ゲート線SSL、GSLに与えられる。

【0076】

これにより、選択されたデータ選択線WL1に接続されたメモリセルは、データ“1”ならばオンして、データ転送線BLの電位は低下する。データ“0”ならばメモリセルはオフとなり、データ転送線BLの電位低下はない。このデータ転送線の電位変化をセンスアンプ回路46により検出することにより、データが読み出される。

【0077】

非選択セルブロックでは、読み出し時、ブロック選択信号RDECIが“L”となる。これにより、ノードN0はGNDに保たれ、Q621、Q622、Q600～Q615はオフとなり、ブロック選択線SSL、GSL及びデータ選択線WL0～WL15にはVread又はVrefが転送されない。これにより、非選択ブロックのデータ選択線の電圧を非選択ブロックの選択ゲートトランジスタのしきい値より低く保ち、データ転送線BLの電位が非選択ブロックのセルトランジスタのしきい値の影響を受けないようにする。

【0078】

データ書き込み時は、センスアンプ46から、“0”データを書き込みを行うデータ転送線BLには0V、“1”データ書き込みを行うデータ転送線BLにVccが与えられる。データ転送線BL側の選択ゲート線SSLにはVcc、共通ソース線SL側の選択ゲ

トGSLは0Vが与えられる。さらに、選択されたデータ選択線には書き込み電圧 V_{pgm} 、非選択データ選択線にはパス電圧 V_{pass} が与えられる。ロウデコーダ3及びデータ選択線ドライバ2の動作は基本的に読み出し時と同じである。ただし、電圧 V_{RDEC} は、書き込み電圧 V_{pgm} よりも僅かに高い値に設定され、これがノードN0に転送される。これにより、ドライバNMOSトランジスタQ600～Q615がオンとなり、端子CGN0～CGN15の電圧が、データ選択線WL0～WL15に与えられる。そして、“0”データが与えられたビット線BLに沿った選択メモリセルでは、浮遊ゲートに電子注入が生じて、しきい値の値が正の状態になる。“1”データが与えられたメモリセルでは、フローティングゲート下のチャンネルが制御ゲートとの容量結合によって電位上昇して、電子注入は生じない。

【0079】

データ消去時は、データ転送線BLおよび共通ソース線SLがフローティングに保たれ、メモリセルアレイが形成されたp型ウェルに10V以上、30V以下の消去電圧が与えられる。このとき、選択セルブロックの全データ選択線は0Vに設定される。データ選択線ドライバ2内では、データ消去の際、発振出力CRDは供給されず、制御信号BSTONが”H”で、ノードN0は V_{cc} に設定される。これにより、選択セルブロックのドライバNMOSトランジスタQ600～Q615がオンとなり、端子CGN0～CGN15にあらかじめ与えられた0Vがデータ選択線WL0～WL15に与えられる。これにより、浮遊ゲートからの電子放出により全メモリセルのデータが消去される。

【0080】

データ消去時、選択ゲート線SSL、GSLは V_{cc} にプリチャージされてフローティングとされる。これにより、p型ウェルに消去電圧が与えられたとき、選択ゲート線SSL、GSLはp型ウェルとの容量結合で電位上昇する。したがって、ブロック選択ゲートとチャンネルとの間に電位差は生じることはなく、選択ゲートトランジスタの酸化膜に電子注入され破壊されることはない。

【0081】

図1に示したようにこの実施の形態では、制御回路40内に二つの読み出しタイミング回路401、402が用意されている。ここでは、タイミング回路401が従来と同じ時間のタイミング信号を発生する回路とし、タイミング回路402はそれより短いタイミング信号を発生する、高速読み出し用のタイミング回路であるとする。この様なタイミング回路401、402は、図5のように構成することができる。

【0082】

タイミング回路401、402は共に、CR時定数回路を利用してパルスの立ち上がりおよび立下りを遅延させて、タイミング信号を発生する。タイミング回路401の時定数（抵抗R1とキャパシタC1の積）よりも、タイミング回路402の時定数（抵抗R2とキャパシタC2の積）を小さくすることによって、NANDゲートG1およびNANDゲートG2のパルス立ち上がりおよび立下りに対する出力の遅延を小さくすることができる。また、制御入力CTRを”H”にすることにより、タイミング回路402の出力を活性にすることができ、“L”にすることにより、タイミング回路401の出力を活性にすることができる。

【0083】

NANDゲートG1、G2のいずれかの“L”出力がNANDゲートG3により選択されて“H”のタイミング信号として出力される。即ち制御入力CTRの“H”、“L”によって、入力ノードINに与えられたパルスの立ち上がりおよび立下りに対する出力ノードOUTの出力の遅延時間を2種類に変化させることができる。このようなタイミング回路401、402は、外部クロックを必要とせず、CR時定数で遅延時間を決定できるので、回路規模が小さくて済む。

【0084】

図6は、図5に示すタイミング回路401、402と同等の機能をより正確に実現する、クロックCLKを用いたタイミング回路である。クロック発生器501から発生される

クロックCLKは、分周器502により分周される。クロック発生回路501は、メモリチップ内部に形成されたものでもよいし、メモリチップ外部に用意されたものでもよい。分周器502の分周出力Q1～Q4はカウンタ503に入力される。分周器502およびカウンタ503は、クロックCLKを計数して、あらかじめ決められた個数カウントしたタイミング t_0 、 t_x ($x=1, 2, 3, 4$) 及び t_x' ($x=1, 2, 3, 4$) に“L”から“H”になり、または“H”から“L”になるパルスD0、 D_x 及び D_x' を出力するデジタル回路である。これら分周器502およびカウンタ503自体は、デジタル回路で当業者周知の回路を用いればよい。

【0085】

カウンタ503の出力 D_x 、 D_x' の出力タイミング t_x 、 t_x' の間には、 $t_x' < t_x$ なる関係が設定されている。これらのタイミング関係は、図10及び図11を用いて後に説明する、二種の読み出し動作タイミング(t_0 、 $t_1 \sim t_4$)、(t_0 、 $t_1' \sim t_4'$) に対応するものである。出力 D_x と D_x' とは、制御入力CTRにより制御されるラテラルスイッチ504にていずれか一方が選択される。これにより、 D_{out} (タイミング t_0)、 D_{out} (タイミング t_x 又は t_x') が得られる。このようなタイミング回路を用いることにより、後で図10及び図11を用いて説明する読み出し動作に必要とされる二種類の読み出しタイミング信号を、より正確なタイミングで発生させることができる。

【0086】

図6に示したように、制御回路40内の二種のタイミング回路401、402は、回路的に互いに分離している必要はなく、機能的に二種類の読み出しタイミング信号を発生し、これが制御入力CTRで切り替えられるようになっていればよい。図6に示したバイラテラルスイッチ504の具体的構成例を図7に示す。図示のように、バイラテラルスイッチ504は、CMOS転送ゲートTG1とインバータINV31により構成することができる。制御入力CTRが“L”のとき、ノードI/O1とI/O2が導通状態となり、“H”のとき、ノードI/O1とI/O2が遮断状態となる。

【0087】

不良アドレス記憶回路35やベリファイ判定回路38におけるフューズには、一般にレーザ溶断型フューズが用いられる。このフューズは、多結晶シリコンやシリサイドなどの導電体、或いは配線用金属で形成される。しかしこの様な機械的フューズに代わって、図8に示すようなフューズ代替回路を用いることもできる。この代替回路は、フューズ端子FS1、FS2間に配置されたCMOS転送ゲートTG2と、そのオンオフを制御するためのデータラッチ81を有する。データラッチ81には、制御信号FCSLにより制御されるNMOSトランジスタQ9、Q10を介して、転送ゲートTG2のオンオフを制御するデータが書き込まれる。

【0088】

即ち、転送ゲートTG2をオンさせる制御データをデータラッチ81に保持するには、端子FIO、FIOBにそれぞれ“L”、“H”を入力し、制御信号FCSLを“L”、“H”、“L”と変化させる。フューズラッチ81に、転送ゲートTG2をオフにする制御データを保持するには、端子FIO、FIOBにそれぞれ“H”、“L”を入力し、制御信号FCSLを“L”、“H”、“L”と変化させればよい。

【0089】

このように、記憶素子を用いた代替回路によってフューズ素子の代替ができる。このような代替回路では、フューズの導通および遮断を履歴に関係なく自由に制御できる。また、機械的フューズと異なって、フューズ端子FS1、FS2間にフューズ遮断のための光や熱、または電流を流す必要がなく、信頼性の高い回路が実現できる。

【0090】

次に、図9～図11を参照して、この実施の形態のEEPROMの読み出し動作を説明する。図9は、図1に示すメモリセルアレイ1のなかの一つのデータ選択線ドライバ2により駆動される一つのセルブロックBLKを示している。図10及び図11は、図42に

示した従来例の読み出しタイミングに対応するタイミング波形を示している。具体的に、図10は、通常データ読み出しに適用されるVreadタイミング回路401によりタイミング制御を行った場合であり、図11は、冗長セルアレイ101を選択した高速データ読み出し動作に適用されるVreadタイミング回路402によりタイミング制御を行った場合である。

【0091】

図10及び図11共に、データ選択線WL14が選択されて、これに読み出し電圧Vrefが与えられ、非選択のデータ選択線WL0～WL13, WL15にバス電圧Vreadが与えられた時の選択データ選択線WL14と非選択データ選択線WL15の電圧波形を示している。但し、図10の電圧波形は、ノーマルセルアレイ100内のデータ選択線WL15, WL14上の、データ選択線ドライバ2から最も遠いノードB, Dの電圧波形である。また図11は、同じくデータ選択線WL15, WL14上のノーマルセルアレイ100と冗長セルアレイ101の境界部のノードE, Fの電圧波形である。

【0092】

データ選択線WL15上のノードEは、ノードBに比べてデータ選択線ドライバ2に近いために、バス電圧Vreadがタイミングt0から急速に立ち上がり、ほぼタイミングt1'でVreadにまで達する。これに対してノードBは、データ選択線ドライバ2から離れているために、ノードEに比べて立ち上がりが緩やかであり、タイミングt1'より長い時間経過後、タイミングt1でVreadに上昇する。データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t1' - t0)$ と $(t1 - t0)$ との比は、データ選択線ドライバ2からノードEまでのデータ選択線の長さの自乗と、データ選択線ドライバ2からノードBまでのデータ選択線の長さの自乗との比にほぼ等しくなる。

【0093】

即ち、データ選択線の長さが長くなるほど、その長さの自乗に比例して立ち上がりの遅延時間は増大する。具体的に、この実施の形態のようにデータ選択線ドライバ2のごく近傍の冗長セルアレイ101が配置されている場合であって、冗長セルアレイ101のカラム総数をi、ノーマルセルアレイ100のカラム総数をjとした場合、ノードEでの配線遅延は、ノードBでのそれに比べて、 $\{i / (i + j)\}^2 \times 100$ [%] 以下になる。

【0094】

一方、データ選択線WL14の電圧は、タイミングt0～t1の間はデータ選択線ドライバ2の出力によりバス電圧Vreadより低い読み出し電圧Vrefに保たれているが、これに隣接するデータ選択線WL15およびWL13からの容量結合によって電圧が上昇する。この電圧上昇は、ノードDの方がデータ選択線ドライバ2に近いノードFより大きい。ノードDに容量結合するデータ選択線WL15およびWL13の容量および配線抵抗が、ノードFに対するそれより大きくなるためである。

【0095】

タイミングt1'には、データ選択線WL13およびWL15上のノードEの電圧が一定となるため、これ以降ノードFの電圧上昇はない。データ選択線WL14はデータ選択線ドライバ2を通じて放電するため、タイミングt2'ではほぼVrefに戻る。ノードDは、タイミングt1にはデータ選択線WL13およびWL15のノードBの電圧が一定となるため、これ以降電圧上昇はなく、データ選択線ドライバ2を通じて放電するため、タイミングt2ではほぼVrefに戻る。

【0096】

データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t2' - t1')$ と $(t2 - t1)$ との比は、データ選択線ドライバ2からノードFまでのデータ選択線の長さの自乗と、データ選択線ドライバ2からノードDまでのデータ選択線の長さの自乗との比にほぼ等しくなる。即ち、データ選択線の長さが長くなるほど、その長さの自乗に比例して立ち下りの遅延時間は増大する。具体的に、この実施の形態のようにデータ選択線ドライバ2のごく近傍に冗長セルアレイ101が配置されている場合で

あって、冗長セルアレイ 101 のカラム総数を i 、ノーマルセルアレイ 100 のカラム総数を j とした場合、ノード F での配線遅延は、ノード D でのそれに比べて、 $\{i / (i + j)\}^2 \times 100$ [%] 以下になる。

【0097】

メモリセルのしきい値と読み出し電圧 V_{ref} との差によってメモリセルのセル電流が決定されるため、読み出し電圧 V_{ref} が一定となってからメモリセルの電流を測定する必要がある。図 9 に示すノーマルセルアレイ 100 のデータ選択線ドライバ 2 から最も遠いセルユニット 49c 内のセルデータ読み出しは、タイミング t_2 以降であることが必要である。冗長セルアレイ 49a のメモリセルデータ読み出しは、タイミング t_2' 以降であることが必要である。

【0098】

図 10 及び図 11 ではそれぞれセル電流読み出しに必要な時間範囲 T_{11} 、 T_{12} を確保した後、タイミング t_3 及び t_3' からバス電圧 V_{read} を低下させて、読み出し動作を終了する。データ選択線 WL_{15} のデータ選択線ドライバ 2 に近いノード E は、タイミング t_3' の後、早いタイミング t_4' で接地電位 GND まで低下するが、データ選択線ドライバ 2 から遠いノード B は、タイミング t_3 からより長い時間がかかって、タイミング t_4 で接地電位 GND に低下する。

【0099】

データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_4' - t_3')$ と $(t_4 - t_3)$ との比は、データ選択線ドライバ 2 からノード E までのデータ選択線の長さの自乗と、データ選択線ドライバ 2 からノード B までのデータ選択線の長さの自乗との比にほぼ等しくなる。即ちデータ選択線の長さが長くなるほど、その長さの自乗に比例して立ち下りの遅延時間は増大する。具体的に、この実施の形態のようにデータ選択線ドライバ 2 のごく近傍に冗長セルアレイ 101 が配置されている場合であって、冗長セルアレイ 101 のカラム総数を i 、ノーマルセルアレイ 100 のカラム総数を j とした場合、ノード F での配線遅延は、ノード B でのそれに比べて、 $\{i / (i + j)\}^2 \times 100$ [%] 以下になる。

【0100】

以上から、図 9 のセルユニット 49a ~ 49c を同時に読み出す場合には、セルユニット 49c に対するパルスの遅延時間 $(t_1 - t_0)$ 、 $(t_2 - t_1)$ 、および $(t_4 - t_3)$ に律速されて、図 10 のように長い読み出しサイクルタイム $(t_4 - t_0)$ が必要である。一方、冗長セルアレイ 101 内のセルユニット 49a のデータ読み出しを保証し、ノーマルセルアレイ 100 内のセルユニットの読み出しを保証しない場合には、図 11 に示すように、サイクルタイム $(t_4 - t_0)$ より短いサイクルタイム $(t_4' - t_0)$ で、読み出しが可能である。即ち、冗長セルアレイ 101 のみのデータ読み出しを行う場合には、図 10 の場合のセル電流測定可能な時間範囲 T_{11} $(= t_3' - t_2')$ と同じ時間範囲 T_{12} $(= t_3 - t_2)$ を、短いサイクルタイム内に確保することができる。

【0101】

以上のように、タイミング t_0 、 $t_1 \sim t_4$ を設定するのにタイミング回路 401 を用い、タイミング t_0 、 $t_1' \sim t_4'$ を設定するのにタイミング回路 402 を用いることによって、冗長メモリセルアレイ 101 を読み出す場合のサイクルタイムを短縮することができる。言い換えればこの実施の形態によると、セルアレイの複数カラムのデータを連続的に読み出すための、読み出し可能な最小サイクルタイムが異なる二つの読み出しモードを持たせることができる。図 10 及び図 11 では、読み出し時の動作波形を示したが、書き込み時にも同様のことがいえる。

【0102】

即ち、書き込みパルス印加終了後のパルス立下り時間は、データ選択線ドライバ 2 から遠いセルユニット 49c では、データ選択線ドライバ 2 に近いセルユニット 49a より長くかかる。そこで、通常書き込みタイミング信号より短い時間の書き込みタイミング信号を発生する書き込み用タイミング回路を用意する。このタイミング回路を用いることに

より、冗長セルアレイ 101 のみにデータを書き込む場合の書き込みサイクルタイムを、全セルアレイにデータを書き込む場合に比べて短縮することができる。

【0103】

さらにこの実施の形態では、データ選択線ドライバ 2 に近い側に、冗長セルアレイ 101 が配置されている。従って、冗長セルアレイ 101 内のスペアカラムでノーマルセルアレイ 100 内の不良カラムを置換した場合、必ず、ノーマルセルアレイ 100 内の不良セルを含むカラムの位置に比べて、その不良カラムと置き換えた冗長セルアレイ 101 内のカラム位置の方がデータ選択線ドライバ 2 に近くなる。このため、不良カラム置換のためにタイミング余裕を大きく確保する必要がなく、より高速の動作が可能になり、信頼性を改善した EEPROM が実現できる。

【0104】

次に図 3 に示すセンスアンプ回路 46 に着目して、書き込み及びベリファイ読み出しの手順について説明する。

まず、内部データ線 DI/O2 に与えられる書き込みデータは、カラム選択信号 CSL を“H”にして NMOS トランジスタ MN13 をオンにすることにより、データラッチ 461 に転送される。書き込みデータ“0”は、ノード N2 に“L”データとして転送され、書き込みデータ“1”（即ち消去状態を維持する書き込み禁止）は、ノード N2 に“H”データとして転送される。

【0105】

この後、カラム選択信号 CSL を“L”として、NMOS トランジスタ MN13 をオフにする。続いて、制御信号 $\phi 2$ を“H”にして、ノード N2 のデータを選択されたデータ転送線 BL に転送する。ベリファイ判定に供されるノード N1 は、書き込みデータが“0”の時、“H”であり、書き込みデータが“1”のとき“L”である。この後、データ転送線電圧を、セルユニットの選択ゲート線 SSL を一時的に“H”にして選択されたセルユニットのチャネルに転送し、書き込みパルス電圧を選択されたデータ選択線に与えることにより、選択セルに書き込みが行われる。書き込み動作後、選択ゲート線 SSL, GSL は“L”とする。

【0106】

続いて、書き込みベリファイ読み出し動作に入る。制御信号 $\phi 2$ を“L”にして NMOS トランジスタ MN12 をオフにした後、制御信号 $\phi 1$ 及び $\phi 4$ を“H”にして、NMOS トランジスタ MN11 及び MN16 をオンにし、センスノード NS から選択されたデータ転送線 BL までをプリチャージする。具体的に、 $V1 = V_{cc}$ 、 $\phi 1 = V_{cc} + V_{th}$ 、 $\phi 6 = V_{pre} + V_{th}$ （ V_{th} は NMOS トランジスタのしきい値）を与えることにより、データ転送線は V_{pre} に、センスノード NS は V_{cc} に充電される。

【0107】

ついで、制御信号 $\phi 4$ を“L”とし、選択セルユニットの選択ゲート線 SSL, GSL に“H”を与え、選択されたデータ選択線に書き込みの判定しきい値となる読み出し電圧 V_{ref} を与える。これにより、データ転送線 BL は、選択メモリセルの書き込み状態に応じて放電される。具体的に、“0”書き込みが充分に行われない場合と“1”書き込み（即ち書き込み禁止）の場合には、選択セルがオンするため、データ転送線は放電されて電位低下し、“0”書き込みが充分に行われた場合にはデータ転送線は放電されない。

【0108】

データ転送線の放電動作を開始してから一定時間後、制御信号 $\phi 1$ を“L”として NMOS トランジスタ MN11 をオフにし、制御信号 $\phi 4$ を NMOS トランジスタ MN16 がオンする程度の電圧とする。これにより、センスノード NS の電荷がデータ転送線の電位に応じて転送される。これにより、“0”書き込みが充分に行われない場合と“1”書き込みの場合には、センスノード NS が電位低下し、NMOS トランジスタ MN15 のしきい値以下になる。“0”書き込みが充分に行われた場合には、センスノード NS が放電されず、NMOS トランジスタ MN15 のしきい値以上の電圧を保つ。

【0109】

ついで、制御信号 $\phi 3$ を“H”にして、NMOSトランジスタMN14をオンにすると、センスノードNSの電圧に応じて、データラッチN1の電圧が決まる。即ち、“0”書き込みが充分行われた場合に、ノードN1の電荷が放電されて、ノードN1は“H”から“L”に変わる。“1”書き込みの場合は、ノードN1は“L”を維持し、“0”書き込みが十分に行われなかった場合には、ノードN1は、“H”を維持する。

【0110】

即ちこの時点で、ベリファイ判定用の出力を出すノードN1は、“0”書き込みが充分に行われていない場合のみ、“H”を維持する。このノードN1の“H”，“L”が前述のようにベリファイ判定回路38に送られて、書き込み完了の判定に供される。この後、制御信号 $\phi 3$ ， $\phi 4$ を“L”とし、NMOSトランジスタMN14，MN16をオフにして、ベリファイ動作を終了する。

【0111】

以下、書き込みが不十分なセルがある場合に、これがなくなるまで、書き込みパルス電圧印加とベリファイ読み出しが繰り返される。このような書き込み制御シーケンスにより、“0”書き込みが充分に行われていないセルのみに再書きこみを行うことができる。

【0112】

この実施の形態では、メモリセルアレイ1のなかの冗長セルアレイ101についてのみデータ書き換えを行う場合には、図2に示したベリファイ判定回路38の判定出力線46a，46bの間のスイッチ素子39をオフにする。これにより、ベリファイ判定回路38の出力負荷が小さくなり、ベリファイ読み出し動作の高速化が図られる。

【0113】

図12は、冗長セルアレイ101についてデータ書き込みを行う場合にその高速化を実現するための動作フローを示している。書き込みサイクルが開始されるとまず、ステップSE1にて、タイミング回路402を選択し、冗長セルアレイ101を高速に読み出すタイミングに設定する。ついで、ステップSE2にて、制御信号 $\phi 1$ ， $\phi 2$ 及び $\phi 4$ を“H”にすることにより、センスアンプ46のラッチデータを、ノードN2が“H”の状態、即ち消去状態（非書き込み状態）となるようにプリセットする。制御信号 $\phi 1$ ， $\phi 2$ ， $\phi 4$ の制御線を全センスアンプで共通に形成することにより、全センスアンプで一括してこのプリセット動作を行うことができる。

【0114】

ついで、ステップSE3にて、冗長セルアレイ101の書き込みを行う。具体的にデータ線DI/O2に与えられた書き込みデータは、カラム選択線CSLを順次“H”にすることにより、各センスアンプ46に転送される。前述のように、書き込みデータが“0”の場合、センスアンプ46のノードN2に“L”が転送される。センスアンプ46に保持された書き込みデータに基づいて、前述したように、冗長セルアレイ101の選択セルに書き込みが行われる。

【0115】

このようなシーケンスを用いることにより、ノーマルセルアレイ100に対応するセンスアンプに書き込み禁止データ（“1”データ）を転送する必要がなく、高速に書き込みデータのロードが可能になる。ベリファイ判定回路38の出力線64a，64bを接地電位GNDに放電した後、スイッチ素子39をオフにする（ステップSE4）。その後、冗長セルアレイ101の書き込みデータについてベリファイ読み出しを行う（ステップSE5）。

【0116】

そして、ベリファイ判定回路38の出力Lvfyに基づいて、冗長セルアレイ101の選択セルに書き込みが不十分なセルがあるか否かの判定を行う（ステップSE6）。具体的に制御回路40は、ベリファイ判定出力Lvfyが“L”であれば、書き込み不足ビット無しと判断し、“H”になった場合は書き込み不足ビットが少なくとも1ビット有りと判断する。ベリファイ読み出し動作では上述のようにスイッチ素子39が遮断されているので、高速のベリファイ判定が可能である。

【0117】

書き込み不足ビットがある場合には、スイッチ39をオンにし（ステップSE7）、書き込み不足ビットの再書き込みを行う（ステップSE8）。以下、前述のように、書き込み不十分のセルがなくなるまで、書き込みパルス印加とベリファイ読み出しが繰り返される。書き込み不足ビットがない場合には、スイッチ39をオンにし（ステップSE7'）、タイミング回路401を選択して通常の読み出しタイミング、すなわちノーマルセルアレイ100のデータを読めるタイミング状態に戻して（ステップSE9）、ベリファイ動作を終了する。

【0118】

以上のようにこの実施の形態では、冗長セルアレイ101のデータ書き込みを行う場合には、ノーマルセルアレイ100対応のセンスアンプは動作させない。従って、書き込み及び読み出しの遅延を小さく抑えることができ、従来よりも高速のデータ書き込みが可能になる。またノーマルセルアレイ100の動作に伴う電力消費や電源線への動作ノイズ発生を抑制することができる。またメモリセルの構造や配線層の積層構造を変更する必要はなく、高い歩留まりやプロセスの信頼性を得ることができる。さらに、冗長セルアレイ101内のスペアカラムで、ノーマルセルアレイ100内の不良カラムを置換した場合にも、高速読み出しおよび高速書き込み可能となる。

【0119】

この実施の形態において、ベリファイ判定回路38の出力線64にスイッチ素子39を介在させることは、不可欠ではない。即ち、出力線64の容量及び抵抗による遅延が許容できる範囲であれば、スイッチ素子39を用いなくてもよい。その場合には、ステップSE4, SE7, SE7'の動作が不要になる。

【0120】

この実施の形態の効果をまとめると、次の通りである。

冗長セルアレイ101は、ノーマルセルアレイ100よりもデータ選択線ドライバ2に近い側に配置されている。従って、冗長セルアレイ101の書き込み及び読み出しについて、データ選択線の遅延の影響が小さい。そしてこの実施の形態では、通常必要とされるタイミング回路401に加えて、通常より短い読み出しサイクルを実現するタイミング信号を発生するためのタイミング回路402を備えている。これにより、冗長セルアレイ101について高速のデータ書き込み及び読み出しが可能になる。

【0121】

また上述したセルアレイの配置から、冗長セルアレイ101のデータ読み出しの信頼性が高いものとなる。何故なら、データ選択線にリーク電流が生じた場合でも、データ選択線ドライバ2に近い冗長セルアレイ101の方がデータ選択線の抵抗が低く、リーク電流による電圧降下の影響を受けにくいからである。

【0122】**[実施の形態2]**

図13は、実施の形態2によるEEPROMの機能ブロック構成を示す。実施の形態1と同一の部分や同一の電圧関係には、同一符号をつけて詳しい説明は省略する。この実施の形態では、不良カラム置換を行うためのカラムアドレス変換回路36内に、論理カラムアドレスにより順に選択されるべき物理カラムアドレスの少なくとも一部の順序を入れ替えるための論理／物理カラムアドレス機能が付加されている。このカラムアドレス変換回路36の機能により、メモリセルアレイ内の複数カラムのデータを連続的に出力する場合に、連続するカラムの途中にある特定領域のデータを最後に出力するということが可能になる。これらの機能は後に詳細に説明する。

【0123】

図13の実施の形態では、メモリセルアレイ1は、ロウ方向に配置された二つのノーマルセルアレイ100a, 100bとこれに挟まれた冗長セルアレイ101を有する。また、データ選択線ドライバ2a, 2bが、メモリセルアレイ1の両側に配置されている。具体的には、図14Aに示すように、データ転送線方向に配置される複数のセルブロックB

LK (BLK0, BLK1, ...) に対して、偶数番のセルブロックについてはその右側にデータ選択線ドライバ2aを配置し、奇数番目のセルブロックについては左側にデータ選択線ドライバ2bを配置する。この様に、データ選択線ドライバ2a, 2bをセルブロック毎に両側に振り分けて配置することにより、メモリセルアレイ1からデータ選択線ドライバ2a, 2bへの引き出し配線部のピッチを緩和することができる。これにより、引き出し配線部のリソグラフィが容易になりまた、引き出し配線部を短くすることができる。

【0124】

図14A及び図14Bは、メモリセルアレイ1及びセンスアンプ回路46, ベリファイ判定回路38の具体構成を示している。ノーマルセルアレイ100a, 100bのビット線数がそれぞれ2k、冗長セルアレイ101のビット線数が2nである。従って、ノーマルセルアレイ100a, 100b対応のセンスアンプ数がそれぞれk、冗長セルアレイ101対応のセンスアンプ数がnである。この様に、メモリセルアレイ1の中央部に冗長セルアレイ101があると、両側にあるデータ選択線ドライバ2a, 2bのいずれが選択された場合でも、冗長セルアレイ101を読み出す際のデータ選択線遅延をほぼ等しく最小化できるため、望ましい。

但し、左右に配置されるノーマルセルアレイ100a, 100bのカラム数が同じでない場合にも、この実施の形態は有効である。

【0125】

センスアンプ46のノードN1のデータがベリファイ判定回路38に送られて、書き込みシーケンスの制御が行われることも実施の形態1と同様である。ベリファイ判定回路38内のノーマルセルアレイ100b, 100a対応のフューズ(Fv11~Fv1k, Fv21~Fv2k)63及び冗長セルアレイ101対応のフューズ(Fvr1~Fvrn)63は、ベリファイ判定出力線64に共通接続されている。この実施の形態では、実施の形態1と異なり、出力線64にスイッチ素子を介在させていない。

【0126】

出力線64には、ベリファイ読み出し時に、フューズFv11~Fv1k, Fvr1~Fvrn, Fv21~Fv2kが導通状態にあるセンスアンプ46でセンスされているメモリセルについて、1つでも書き込みが充分に行われていない場合に“H”となる判定出力Lvfyが出力されるようになっている。これらフューズを切り替えることによって、ノーマルセルアレイ100a, 100b内の不良カラムを、冗長セルアレイ101内のカラムで置き換えることができる。

【0127】

データ選択線ドライバ2a, 2bは、図15に示すように、メモリセルアレイ1のセルブロック毎に振り分けて配置されるが、その各ドライバの具体構成は、実施の形態1の図4で説明したと同様である。ロウデコーダ3を構成するブロックアドレス選択回路3a, 3bは、メモリセルアレイ1の一方に配置されるが、ブロックアドレス選択回路3aから得られる選択信号RDECI2は、メモリセルアレイ1の領域を通過する配線33により、他方に配置されたデータ選択線ドライバ2aに供給される。

【0128】

制御回路40内には、実施の形態1と同様に、二種の読み出しタイミング回路401, 402が形成されている。タイミング回路401は、通常のデータ読み出しに適用されるものとし、タイミング回路402は、タイミング回路401よりも短い間隔でタイミング信号を発生する、高速読み出し用のタイミング回路である。これらのタイミング回路は、実施の形態1の図4或いは図5で説明したと同じ回路を用いればよい。

フューズ素子については、多結晶シリコンやシリサイド、配線金属等で形成された機械的フューズ素子の他、図8で説明した代替回路を用いることは、実施の形態1と同様である。

【0129】

次にカラムアドレス変換回路36について説明し、併せてカラムアドレス変換回路36の説明に必要な不良アドレス記憶回路(フューズセット回路)35およびカラムアドレス

一致検出回路 34 についても説明する。これらフューズセット回路 35 及びカラムアドレス一致検出回路 34 は、全実施の形態について有効である。また、カラムアドレス変換回路 36 も、論理／物理アドレス変換回路部分を除けば、そのまま他の実施の形態に用いることが出来る回路となる。

【0130】

図 16 及び図 17 は、フューズセット回路 35 (35a (1), 35a (2), 35b (1), 35b (2))、カラムアドレス一致検出回路 34 (34a (1), 34a (2)) 及びカラムアドレス変換回路 36 (36a (1), 36a (2), 36b) の具体構成を示している。ここでは、説明を簡単にするため、論理カラムアドレスは、(a3, a2, a1) の 3 ビットで $2^3 = 8$ のカラムアドレスのうち、(001), (010), (011), (100), (101), (110) の 6 つを指定するものとする。また物理アドレスは、図 14 において、左側のノーマルセルアレイ 100b に (000), (001), (010) が割り付けられ、冗長セルアレイ 101 には (011), (100) が割り付けられ、右側のノーマルセルアレイ 100a には (101), (110), (111) が割り付けられているものとする。

【0131】

フューズセット回路 35a (x) [x=1, 2] は、ウェハテストの結果に基づいてフューズがプログラムされて、不良カラムアドレスを記憶する。このフューズセット回路 35a (x) とカラムアドレス一致検出回路 34a (x) [x=1, 2] は、NEXOR ゲート G11～G13 と AND ゲート G14 により、入力されたカラムアドレスとフューズ (Fa1, Fa2, Fa3) で指定した第一の論理カラムアドレスとの一致検出を行う回路である。一致が検出された場合に、一致検出信号 Sx [x=1, 2] = “H” が出力される。いずれかの一致検出信号 Sx が “H” になったことは、NOR ゲート G15 により検出され、アドレス置換を行うためのイネーブル信号 /Sm = “L” が出力される。

【0132】

フューズセット回路 35b (x) とカラムアドレス置換回路 36a (x) は、第一の論理カラムアドレス (a3, a2, a1) を冗長カラムアドレスで置き換えて、第二の論理カラムアドレス (b3, b2, b1) を得るための回路である。冗長カラムによる置換を行わない場合、即ちイネーブル信号 /Sm = “H” のとき、これにより制御されて、カラムアドレス置換回路 36b の双方向スイッチ 504 はオンになり、論理カラムアドレス (a3, a2, a1) はそのまま、論理カラムアドレス (b3, b2, b1) となる。

【0133】

カラムアドレス置換を行う場合には、フューズセット回路 35b (x) 内のフューズ (Fb1, Fb2, Fb3) の切断、非切断を、(Fb3, Fb2, Fb1) = (a3. EXOR. b3), (a2. EXOR. b2), (a1. EXOR. b1) という論理で決める。ここでは、フューズ切断が “1”、非切断が “0” である。(A. EXOR. B) とは A と B との排他的論理和を取ることを示し、排他的論理和否定 (NEXOR) ゲート G21～G23 がこれらの論理をとる。即ちカラム置換を行う場合には、NEXOR ゲート G21～G23 の出力が、一致検出信号 S1, S2 で制御される双方向スイッチ 504 により取り出されて、論理カラムアドレス (b3, b2, b1) が得られる。

【0134】

例えば、図 17 において、(a3, a2, a1) = (0, 1, 0) という論理カラムアドレス入力に対して、(b3, b2, b1) = (1, 1, 1) という論理カラムアドレス出力に置き換える場合には、(Fb3, Fb2, Fb1) = (1, 0, 1) というフューズ状態とすればよい。

【0135】

この様なカラムアドレス変換回路 36b の出力部には、論理カラムアドレスの最上位ビット a3 (b3) を反転するインバータ INV51 が挿入されている。このインバータ INV51 が、論理カラムアドレス (b3, b2, b1) を物理カラムアドレス (c3, c2, c1) に変換する論理／物理カラムアドレス変換回路を構成している。具体的にこの

論理／物理カラムアドレス変換回路は、メモリセルアレイ 1 のページ両端の物理アドレスを、メモリセルアレイ 1 の中央カラム部に存在する冗長セルアレイ 101 の論理アドレスにマッピングするための変換回路であり、そのアドレス出力がセンスアンプ回路に入力される。言い換えれば、この論理／物理カラムアドレス変換回路は、論理カラムアドレスにより順に選択されるべき物理アドレスの少なくとも一部の順序を入れ替える働きをする。この変換回路は、必ずしもインバータ INV51 だけでなくとも良いが、入力論理アドレスに対して少なくとも一対一に対応するように物理アドレスを指定できる回路が望ましい。

【0136】

具体例を挙げる。例えば、 $(Fa1, Fa2, Fa3) = (0, 1, 0)$, $(Fb3, Fb2, Fb1) = (1, 0, 1)$ というフューズプログラミングが行われたとする。このとき、 $(a1, a2, a3) = (001), (010), (011), (100), (101), (110)$ なる論理カラムアドレスは、 $(c1, c2, c3) = (101), (011), (111), (000), (001), (010)$ なる物理カラムアドレスに変換される。2 番目のアドレス (010) がノーマルセルアレイ内の物理アドレス (110) ではなく、冗長セルアレイ 101 内の (011) という物理アドレスに置き換えられていることに注意していただきたい。同様に、外部から与えられる任意の 6 つの論理カラムアドレスは、フューズ素子の切断および非切断を適宜設定することにより、冗長セルアレイ 101 の物理アドレス (011) に割り当てることができる。

【0137】

このような論理／物理カラムアドレス変換によって、冗長セルアレイ 101 によりノーマルセルアレイの不良カラム置換を行ったとき、高速性能が改善される。即ち、ノーマルセルアレイ 100 のデータ選択線ドライバ 2a 或いは 2b から遠い不良カラムがメモリセルアレイ 1 の中央部の冗長セルアレイ 101 のスペアカラムにより置き換えられると、不良カラム置換のためにタイミング余裕を大きく確保する必要がなくなるからである。またこれにより、信頼性も改善される。

【0138】

冗長セルアレイ 101 は、実施の形態 1 と同様に、データの ECC (Error Correcting Code) を記録する領域やまたはメモリセルの全消去や書き込み状態を記憶するフラグ領域としても用いられる。特に、ECC 記録領域として用いる場合に、上述した論理／物理アドレス置換は有用である。例えば、論理カラムアドレスが、 $(a3, a2, a1)$ で指定される 8 アドレス中の、連続する論理カラムアドレス $(a3, a2, a1) = (001), (010), (011), (100), (101), (110), (111)$ の 7 つを指定するものとする。簡単のため、不良カラム置換を行わない場合には、この論理カラムアドレスは、その最上位ビット $a3$ が反転されるから、対応する物理アドレスは、 $(c3, c2, c1) = (101), (110), (111), (000), (001), (010), (011)$ となる。

【0139】

これにより、最終の論理カラムアドレス (111) は、より高速アクセス可能な冗長セルアレイ 101 内の物理カラムアドレス (011) に変換される。よって、実施の形態 1 と同様に、ECC を記録した冗長セルアレイ 101 のみを高速に読み出し、書き込みすることが可能となる。また、1 ページのデータを連続して読み出す場合、論理カラムアドレスは、 $(a3, a2, a1) = (001), (010), (011), (100), (101), (110), (111)$ の順でインクリメントされる。従って、データ入出力の際の冗長セルアレイ 101 の物理アクセスを最後にすることが出来る。

【0140】

このことは、誤りビット訂正回路 5 の符号として巡回符号を用いた場合に好都合である。即ち、巡回符号方式では、データビットの最後に ECC データを検査ビットとして付加した形で誤りビット訂正回路 5 に入力される。従って上述した論理／物理カラムアドレス変換を行えば、通常のカラムアドレスインクリメントによって、連続的にセルデータを読

み出す場合に、最後に ECC 記録領域である冗長セルアレイ 101 がアクセスされることになる。これにより、誤りビット訂正回路 5 に余分なデータ記憶回路を付加することなく、復号化および符号化ができる。誤りビット訂正回路 5 を構成する巡回符号復号回路としては、公知である、巡回ハミング符号復号回路、巡回 RS (リードソロモン) 符号復号回路や CRC (Cyclic Redundancy Check) 復号回路で容易に実現できる。

【0141】

以上のようにこの実施の形態によれば、論理/物理アドレス変換回路を設けることにより、冗長セルアレイ 101 をメモリセルアレイ 1 の中央部に配置した場合でも、実施の形態 1 と同様に、冗長セルアレイ 101 を高速に読み出しおよび書き込みが可能である。上の例では、説明をわかりやすくするため、冗長セルアレイ 101 の機能として、ノーマルセルアレイ 100a, 100b の不良カラム置換のためのスペアカラム領域とする場合及び、ノーマルセルアレイ 100a, 100b に与えられるデータの ECC 記録領域とする場合を説明したが、冗長セルアレイ 101 に複数カラムを配置して、これらの機能を併せ持たせることができる。

【0142】

またこの実施の形態では、不良カラム置換を行った場合に、データ選択線ドライバ 2a, 2b から最も離れたノーマルカラム位置よりデータ選択線ドライバ 2a, 2b に近いスペアカラムが選択される。このため不良カラム置換によるタイミング遅延の問題はない。なお、図 16 と図 17 においては、説明を簡単にするために、カラムアドレス一致検出回路 34a (x)、フューズセット回路 35a (x), 35b (x) 及びアドレス変換回路 36a (x) で $x=2$ の場合を示したが、一般に x として 2 以上の整数を用い得る。これらの回路に用いられるフューズとして、図 8 に示したフューズ代替回路を用いても勿論構わない。

【0143】

次に、図 18 ~ 図 20 を参照して、この実施の形態の EEPROM の読み出し動作を説明する。図 18 は、図 13 に示すメモリセルアレイ 1 のなかの一つのデータ選択線ドライバ 2 により駆動される一つのセルブロック BLK を示している。図 19 及び図 20 は、図 42 に示した従来例の読み出しタイミングに対応するタイミングを示している。具体的に、図 19 は、通常のデータ読み出しに適用される Vread タイミング回路 401 によりタイミング制御を行った場合であり、図 20 は、冗長セルアレイ 101 を選択したデータ読み出し動作に適用される Vread タイミング回路 402 によりタイミング制御を行った場合である。

【0144】

図 19 及び図 20 共に、データ選択線 WL14 が選択されて、これに読み出し電圧 Vref が与えられ、非選択のデータ選択線 WL0 ~ WL13, WL15 にパス電圧 Vread が与えられた時の選択データ選択線 WL14 と非選択データ選択線 WL15 の電圧波形を示している。但し、図 19 の電圧波形は、左側のノーマルセルアレイ 100b 内のデータ選択線 WL15, WL14 上の、データ選択線ドライバ 2 から最も遠いノード B, D の電圧波形である。また図 20 は、同じくデータ選択線 WL15, WL14 上のノーマルセルアレイ 100b と冗長セルアレイ 101 の境界部のノード E, F の電圧波形である。

【0145】

データ選択線 WL15 上のノード E は、ノード B に比べてデータ選択線ドライバ 2 に近いために、パス電圧 Vread がタイミング t_0 から急速に立ち上がり、ほぼタイミング t_1' で Vread にまで達する。これに対してノード B は、データ選択線ドライバ 2 から離れているために、ノード E に比べて立ち上がりが緩やかであり、タイミング t_1' より長い時間経過後、タイミング t_1 で Vread に上昇する。データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_1' - t_0)$ と $(t_1 - t_0)$ との比は、データ選択線ドライバ 2 からノード E までのデータ選択線の長さの自乗と、データ選択線ドライバ 2 からノード B までのデータ選択線の長さの自乗との比にほぼ等し

くなる。言い換えれば、データ選択線が長くなるほど、その長さの自乗に比例して立ち下りの遅延時間は増大する。よって、冗長セルアレイ 101 がメモリセルアレイ 1 の中央付近に配置されている場合、データ選択線の配線遅延は最もデータ選択線ドライバ 2 から遠いメモリセルを選択する場合の $1/4$ 程度に短くなる。

【0146】

一方、データ選択線 WL 14 の電圧は、タイミング $t_0 \sim t_1$ の間はデータ選択線ドライバ 2 の出力によりバス電圧 V_{read} より低い読み出し電圧 V_{ref} に保たれているが、これに隣接するデータ選択線 WL 15 および WL 13 からの容量結合によって電圧が上昇する。この電圧上昇は、ノード D の方がデータ選択線ドライバ 2 に近いノード F より大きい。これは、ノード D に容量結合するデータ選択線 WL 15 および WL 13 の容量および配線抵抗が、ノード F に対するそれより大きくなるためである。

【0147】

タイミング t_1' には、データ選択線 WL 13 および WL 15 上のノード E の電圧が一定となるため、これ以降ノード F の電圧上昇はない。データ選択線 WL 14 はデータ選択線ドライバ 2 を通じて放電するため、タイミング t_2' では V_{ref} に戻る。ノード D は、タイミング t_1 にはデータ選択線 WL 13 および WL 15 のノード B の電圧が一定となるため、これ以降電圧上昇はなく、データ選択線ドライバ 2 を通じて放電するため、タイミング t_2 では V_{ref} に戻る。

【0148】

データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_2' - t_1')$ と $(t_2 - t_1)$ との比は、データ選択線ドライバ 2 からノード F までのデータ選択線の長さの自乗と、データ選択線ドライバ 2 からノード D までのデータ選択線の長さの自乗との比にほぼ等しくなる。即ち、データ選択線の長さが長くなるほど、その長さの自乗に比例して立ち下りの遅延時間は増大する。冗長セルアレイ 101 がメモリセルアレイ 1 の中央付近に配置されている場合、データ選択線の配線遅延は最もデータ選択線ドライバ 2 から遠いメモリセルを選択した場合の $1/4$ 程度に短くなる。

【0149】

メモリセルのしきい値と読み出し電圧 V_{ref} との差によってメモリセルのセル電流が決定されるため、読み出し電圧 V_{ref} が一定となってからメモリセルの電流を測定する必要がある。図 18 に示す左側のノーマルセルアレイ 100b のデータ選択線ドライバ 2 から最も遠いセルユニット 49c 内のセルデータ読み出しは、タイミング t_2 以降であることが必要である。冗長セルアレイ 49b のメモリセルデータ読み出しは、タイミング t_2' 以降であることが必要である。

【0150】

図 19 及び図 20 ではそれぞれセル電流読み出しに必要な時間範囲 T_{21} , T_{22} を確保した後、タイミング t_3 及び t_3' からバス電圧 V_{read} を低下させて、読み出し動作を終了する。データ選択線 WL 15 のデータ選択線ドライバ 2 に近いノード E は、タイミング t_3' の後、早いタイミング t_4' で接地電位 GND まで低下するが、データ選択線ドライバ 2 から遠いノード B は、タイミング t_3 からより長い時間がかかって、タイミング t_4 で接地電位 GND に低下する。

【0151】

データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_4' - t_3')$ と $(t_4 - t_3)$ との比は、データ選択線ドライバ 2 からノード E までのデータ選択線の長さの自乗と、データ選択線ドライバ 2 からノード B までのデータ選択線の長さの自乗との比にほぼ等しくなる。即ちデータ選択線の長さが長くなるほど、その長さの自乗に比例して立ち下りの遅延時間は増大する。冗長セルアレイ 101 がメモリセルアレイ 1 の中央付近に配置されている場合、データ選択線の配線遅延は最もデータ選択線ドライバ 2 から遠いメモリセルが選択された場合の $1/4$ 程度に短くなる。

【0152】

以上から、図 18 のセルユニット 49a ~ 49c を同時に読み出す場合には、左側のノ

ーナルセルアレイ 100b 内のセルユニット 49c に対するパルスの遅延時間 ($t_1 - t_0$)、($t_2 - t_1$)、および ($t_4 - t_3$) に律速されて、図 19 のように長い読み出しサイクルタイム ($t_4 - t_0$) が必要である。一方、冗長セルアレイ 101 内のセルユニット 49b のデータ読み出しを保証し、ノーマルセルアレイ 100a, 100b 内のセルユニットの読み出しを保証しない場合には、図 20 に示すように、サイクルタイム ($t_4 - t_0$) より短いサイクルタイム ($t_4' - t_0$) で、読み出しが可能である。即ち、冗長セルアレイ 101 の読み出しを行う場合には、図 19 の場合のセル電流測定可能な時間範囲 T21 ($= t_3' - t_2'$) と同じ時間範囲 T22 ($= t_3 - t_2$) を、短いサイクルタイム内に確保することができる。

【0153】

実施の形態 1 と同様に、タイミング t_0 , $t_1 \sim t_4$ を設定するのにタイミング回路 401 を用い、タイミング t_0 , $t_1' \sim t_4'$ を設定するのにタイミング回路 402 を用いることによって、冗長メモリセルアレイ 101 を読み出す場合のサイクルタイムを短縮することができる。図 19 及び図 20 では、読み出し時の動作波形を示したが、書き込み時にも同様のことがいえる。即ち、書き込みパルス印加終了後のパルス立下り時間は、データ選択線ドライバ 2 から遠いセルユニット 49c では、データ選択線ドライバ 2 に近いセルユニット 49b より長くかかる。

【0154】

そこで、通常書き込みタイミング信号より短い時間の書き込みタイミング信号を発生する書き込み用タイミング回路を用意する。このタイミング回路を用いることにより、冗長セルアレイ 101 のみにデータを書き込む場合の書き込みサイクルタイムを、全セルアレイにデータを書き込む場合に比べて短縮することができる。

以上の読み出し、書き込みタイミングについての説明は、メモリセルアレイのの左右対称性より、データ選択線ドライバ 2a, 2b のいずれについても同様に成立する。

【0155】

以上のようにこの実施の形態では、ノーマルセルアレイ 100a, 100b のデータ選択線ドライバ 2 から最も遠いメモリセル位置よりも、データ選択線ドライバ 2 に近い側に冗長セルアレイ 101 が配置されている。従って、冗長セルアレイ 101 内のスペアカラムでノーマルセルアレイ 100a, 100b 内の不良カラムを置換する場合、データ選択線ドライバ 2 から最も遠い不良カラム位置よりも、スペアカラム位置の方がデータ選択線ドライバ 2 に近い。これにより、不良カラム置換のためにタイミング余裕を大きく確保する必要がなくなり、高速性能が得られる。

【0156】

図 21 は、冗長セルアレイ 101 についてデータ書き込みを行う場合にその高速化を実現するための動作フローを、先の実施の形態の図 12 に対応させて示している。書き込みサイクルが開始されるとまず、ステップ SE1 にて、タイミング回路 402 を選択し、冗長セルアレイ 101 を高速に読み出すタイミングに設定する。ついで、ステップ SE2 にて、制御信号 ϕ_1 , ϕ_2 及び ϕ_4 を “H” にすることにより、センスアンプ 46 のラッチデータを、ノード N2 が “H” の状態、即ち消去状態（非書き込み状態）となるようプリセットする。制御信号 ϕ_1 , ϕ_2 , ϕ_4 の制御線を全センスアンプで共通に形成することにより、全センスアンプで一括してこのプリセット動作を行うことができる。

【0157】

ついで、ステップ SE3 にて、冗長セルアレイ 101 の書き込みを行う。具体的にデータ線 DI/O2 に与えられた書き込みデータは、カラム選択線 CSL を順次 “H” にすることにより、各センスアンプ 46 に順次転送される。前述のように、書き込みデータが “0” の場合、センスアンプ 46 のノード N2 に “L” が転送される。センスアンプ 46 に保持された書き込みデータに基づいて、前述したように、冗長セルアレイ 101 の選択セルに書き込みが行われる。

【0158】

このようなシーケンスを用いることにより、ノーマルセルアレイ 100a, 100b に

対応するセンスアンプに非書き込みデータ（“1”データ）を転送する必要がなく、高速に書き込みデータのロードが可能になる。次いで、ベリファイ判定回路38の出力線64を接地電位GNDに放電した後、冗長セルアレイ101の書き込みデータについてベリファイ読み出しを行う（ステップSE5）。

【0159】

そして、ベリファイ判定回路38の出力Lvfyに基づいて、冗長セルアレイ101の選択セルに書き込みが不十分なセルがあるか否かの判定を行う（ステップSE6）。具体的に制御回路40は、ベリファイ判定出力Lvfyが“L”であれば、書き込み不足ビット無しと判断し、“H”になった場合は書き込み不足ビットが少なくとも1ビット有りと判断する。

【0160】

書き込み不足ビットがある場合には、その書き込み不足ビットの再書き込みを行う（ステップSE8）。以下、前述のように、書き込み不十分なセルがなくなるまで、書き込みパルス印加とベリファイ読み出しが繰り返される。書き込み不足ビットがない場合には、タイミング回路401を選択して通常の読み出しタイミング、すなわちノーマルセルアレイ100a, 100bのデータを読めるタイミング状態に戻して（ステップSE9）、ベリファイ動作を終了する。

【0161】

以上のようにこの実施の形態でも、冗長セルアレイ101のデータ書き込みを行う場合には、ノーマルセルアレイ100a, 100b対応のセンスアンプは動作させない。従って、書き込み及び読み出しの遅延を小さく抑えることができ、従来よりも高速のデータ書き込みが可能になる。また、ノーマルセルアレイの動作に伴う電力消費や電源線への動作のノイズ発生を抑制することができる。また、メモリセルの構造や配線層の積層構造を変更する必要はなく、高い歩留まりやプロセスの信頼性を得ることができる。さらに、冗長セルアレイ101内のカラムで、ノーマルセルアレイ100a, 100b内の不良カラムを置換した場合にも、高速読み出しおよび高速書き込み可能となる。

【0162】

またこの実施の形態のカラムアドレス変換回路は、通常の不良カラム置換のためのカラムアドレス変換に加えて、物理アドレスのアクセス順序を変更する論理／物理アドレス変換機能を備えている。このアドレス変換機能は、一つのインバータを追加するだけで、大きな面積増大を伴うことなく実現できる。また、図16および図17に示したカラムアドレス一致検出回路34、フューズセット回路35及びカラムアドレス変換回路36において、アドレス置き換え有りと無しの場合のゲート遅延時間の差は、図16におけるNORゲートG15のゲート遅延時間と図17におけるインバータINV52のゲート遅延時間の差となり、非常に小さい。例えば、インバータINV52として、NORゲートG15と同様の2入力NORゲートの1入力を接地したものを用いれば、上述のゲート遅延時間差はほぼなくなる。よって、アドレス置き換え有りと無しでの遅延時間を揃えて、より均一なアクセス時間を実現できる。

【0163】

なお、この実施の形態2の図13では、実施の形態1におけると同様に、制御回路40には二種の読み出しタイミング回路401, 402を備えて、冗長セルアレイの選択的な高速読み出しサイクル実現を可能としている。しかしこの実施の形態2は、その様な二種のタイミング回路401, 402を持たない場合にも特有の効果をも有する。即ちこの実施の形態のカラムアドレス変換回路が有する論理／物理アドレス変換機能は、1ページのデータを連続して読み出す場合に、データ入出力の際の冗長セルアレイ101の物理アクセスを最後にすることが出来る。これにより、誤りビット訂正回路に無用なアドレス変換機能を付加することなく、冗長セルアレイをECC記録領域として誤りビット訂正を行うことが可能になる。

【0164】

ここまでの実施の形態2では、二つのノーマルセルアレイとこれに挟まれた一つの冗長

セルアレイを有する例を説明した。この実施の形態2は、上述の二つのノーマルセルアレイと一つの冗長セルアレイを単位として、更に多くのノーマルセルアレイと冗長セルアレイを配置した場合にも拡張することができる。

【0165】

〔実施の形態3〕

図22は、実施の形態3のEEPROMの機能ブロック構成を示し、図23A及び図23Bはメモリセルアレイ1、センスアンプ回路46及びベリファイ判定回路38の具体構成を示している。実施の形態1、2と対応する部分には、同一符号をつけて詳しい説明は省略する。この実施の形態では、カラムデコード回路48内に、論理／物理カラムアドレス変換回路が付加されている。ここでの論理／物理カラムアドレス変換機能は、メモリセルアレイ1とデータ選択線ドライバ2a、2bのレイアウトとの関係で、ある条件下ではデータ選択線ドライバ2a、2bに近い冗長セルアレイが最後に選択されるようにするためのものである。即ちカラムデコード回路48に付加された論理／物理カラムアドレス変換機能により、冗長セルアレイ101の高速読み出しと、冗長セルアレイ101の入出力をノーマルセルアレイ100のデータ入出力後に行うことを可能としている。

【0166】

この実施の形態では、メモリセルアレイ1は、ノーマルセルアレイ100のロウ方向両側に冗長セルアレイ101a、101bが配置されたレイアウトを有する。また、データ選択線ドライバ2a、2bが、メモリセルアレイ1の両側に分散配置されている。具体的には、図23Aに示すように、データ転送線方向に配置される複数のセルブロックBLK(BLK0, BLK1, ...)に対して、偶数番のセルブロックについてはその右側にデータ選択線ドライバ2aを配置し、奇数番目のセルブロックについては左側にデータ選択線ドライバ2bを配置する。この様に、データ選択線ドライバ2a、2bをメモリセルアレイ1の両側に分散させることにより、メモリセルアレイ1からデータ選択線ドライバ2a、2bへの引き出し配線のピッチを緩和することができる。これにより、引き出し配線部のリソグラフィが容易になりまた、引き出し配線部を短くすることができる。

【0167】

図23Aでは、ノーマルセルアレイ100のビット線数が2k、冗長セルアレイ101a、101bのビット線数がそれぞれ2nである。従って、図23Bに示すように、ノーマルセルアレイ100対応のセンスアンプ数がk、各冗長セルアレイ対応のセンスアンプ数がnである。この様なセルアレイ配置と、後述するカラムアドレスデコード回路48の論理／物理アドレス変換機能によって、データ選択線ドライバ2a、2bのいずれが選択された場合でも、これに近い方の冗長セルアレイがアクセスされるようにすることで、冗長セルアレイの高速アクセスが可能となる。

但し、左右に配置される冗長セルアレイ101b、101aのカラム数が同じでない場合にも、この実施の形態は有効である。

【0168】

センスアンプ46のノードN1のデータがベリファイ判定回路38に送られて、書き込みシーケンスの制御が行われることは、実施の形態1、2と同様である。ベリファイ判定回路38内のノーマルセルアレイ100対応のフューズ(Fv11~Fv1k)63及び冗長セルアレイ101b、100a対応のフューズ(Fvr1~Fvrn, Fvs1~Fvsn)63は、ベリファイ判定出力線64に共通接続されている。この実施の形態では、実施の形態1と異なり、出力線64にスイッチ素子を介在させていない。

【0169】

出力線64には、ベリファイ読み出し時に、フューズFv11~Fv1k、Fvr1~Fvrn, Fvs1~Fvsnが導通状態にあるセンスアンプ46でセンスされているメモリセルについて、1つでも書き込みが充分に行われていない場合に“H”となる判定出力Lvfyが出力されるようになっている。これらフューズを切り替えることによって、例えばノーマルセルアレイ100内の不良カラムを、冗長セルアレイ101a、101b内のカラムで置き換えることができる。

【0170】

データ選択線ドライバ2a, 2bは、図23Aに示すように、メモリセルアレイ1のセルブロック毎に振り分けて配置されるが、その各ドライバの具体構成は、実施の形態1の図4で説明したと同様であり、ドライバ配置は実施の形態2と同様である。

【0171】

制御回路40内には、実施の形態1, 2と同様に、二種の読み出しタイミング回路401, 402が形成されている。タイミング回路401は、通常のデータ読み出しに適用されるものとし、タイミング回路402は、タイミング回路401よりも短い間隔でタイミング信号を発生する、高速読み出し用のタイミング回路である。これらのタイミング回路は、実施の形態1の図4或いは図5で説明したと同じ回路を用いればよい。

フューズ素子については、多結晶シリコンやシリサイド、配線金属等で形成された機械的フューズ素子の他、図8で説明した代替回路を用いることは、実施の形態1と同様である。

【0172】

図24は、論理／物理カラムアドレス変換回路を含むカラムデコーダ48の具体的構成例を示している。この実施の形態では、データ選択線ドライバ2a, 2bのいずれを用いるかに応じて（言い換えれば、いずれのセルブロックが選択されたかに応じて）、二つの冗長セルアレイ101a, 101bのうち、データ選択線の配線遅延が小さい方が選択されるようにする。そのために、ロウアドレス（即ちブロックアドレス）に依存して物理カラムアドレスと論理カラムアドレスとを変換する機能が必要となる。その機能がカラムデコーダ回路38に付加されている。

【0173】

ここでは、説明を簡単にするため、データを指定する論理カラムアドレスとして、(b3, b2, b1)の3ビットで8アドレスの中の例えば(000), (001), (010), (011), (100), (101)の6つを指定するものとする。また、物理カラムアドレス(c3, c2, c1)は、(000)が図23の左側の冗長メモリセルアレイ101bを選択するカラム選択信号線CSL1に、(001), (010), (011)及び(100)がノーマルセルアレイ100を選択するカラム選択信号線CSL2～CSL5に、(101)が右側の冗長セルアレイ101aを選択するカラム選択信号線CSL6に、それぞれ割り付けられているものとする。

【0174】

図24において、入力された論理カラムアドレスをそのまま物理アドレスに変換する、(b3, b2, b1) = (c3, c2, c1)なるデコードを行うデコードゲート群が、NANDゲートG21, G22, …, G26である。これに対して一定条件で異なる論理／物理カラムアドレス変換を行うデコードゲート群として、NANDゲートG31, G32, …, G36が用意されている。NANDゲートG21, G22, …, G26の出力と、NANDゲートG31, G32, …, G36の対応する出力がNANDゲートG41, G42, …, G46により選択されて、カラム選択信号線CSL1～CSL6に選択的に“H”が出力される。これらのカラム選択信号は、図3に示すセンスアンプ回路46のカラム選択トランジスタMN13のゲートに入力されるものである。

【0175】

二つの入力信号INA, INBが入るANDゲートG20は、NANDゲートG21, G22, …, G26のグループと、NANDゲートG31, G32, …, G36のグループのいずれかを選択的に活性化するために設けられている。一方の入力信号INBは、ロウアドレス信号であり、データ選択線ドライバ2aと2bのいずれが選択されるかに応じて、“H”、“L”となる。他方の入力信号INAは、通常動作時に“H”、不良カラムの置き換えを行うフューズチェック時に“L”となる制御信号である。

【0176】

INA = “H”である通常動作時であって、あるセルブロックが選択されて、INB = “L”であるとき、NANDゲートG21, G22, …, G26のグループが活性になる

。このとき、前述のように物理カラムアドレス ($c3, c2, c1$) は、論理カラムアドレス ($b3, b2, b1$) と等しくなる。そしてカラムアドレスに対応して、カラム選択信号線 CSL1～CSL6 の一つが “H” になる。例えば、 $INB = “L”$ は、データ選択線ドライバ 2a に接続されているセルブロック対応のロウアドレスであるとする。この場合、論理カラムアドレスが ($c3, c2, c1$) = (1, 0, 1) により、カラム選択信号線 CSL6 により選択される右側の冗長メモリセルアレイ 101a が選択される。

【0177】

一方、 $INA = “H”$ の通常動作時であって、他のセルブロックが選択されて、 $INB = “H”$ であるときは、NANDゲート G21, G22, …, G26 のグループが非活性になり、代わって、NANDゲート G31, G32, …, G36 のグループが活性になる。これにより、論理カラムアドレス ($b3, b2, b1$) = (000), (001), (010), (011), (100), (101) は、順に、物理カラムアドレス ($c3, c2, c1$) = (101), (100), (011), (010), (001), (000) に変換される。即ち論理カラムアドレスにより選択されるカラム選択信号線 CSL1～CSL6 は、上の例と逆順になる。 $INB = “L”$ は、データ選択線ドライバ 2b に接続されているセルブロック対応のロウアドレスである。この場合、論理カラムアドレスが上例と同じく、($c3, c2, c1$) = (1, 0, 1) により、カラム選択信号線 CSL1 により選択される左側の冗長メモリセルアレイ 101b が選択されることになる。

【0178】

即ち、論理カラムアドレス ($c3, c2, c1$) = (1, 0, 1) を高速アクセスが要求されるカラムアドレスとして指定しておけば、このカラムアドレス入力によって、データ選択線ドライバ 2a, 2b のいずれが選択された場合にも、それに近い側の冗長メモリセルアレイ 101a 又は 101b が選択されることになる。これにより、冗長メモリセルアレイの高速の読み出し、書き込みが可能になる。

なお、ここではすべてのカラムアドレスが逆順に変換される例を示したが、ノーマルメモリセルアレイ 100 の部分は必ずしも反転する必要はなく、その部分の論理／物理カラムアドレス変換回路はなくてもよい。

【0179】

次に、入力 INA が “L” のテストモード（フューズチェックモード）においては、NANDゲート G21, G22, …, G26 のグループが活性になり、物理カラムアドレス ($c3, c2, c1$) は、論理カラムアドレス ($b3, b2, b1$) と等しくなる。もし、 $INA = “L”$ なる入力がないとすると、図 24 のカラムデコーダ回路では、不良ビットの存在するカラムをテストする場合に、データ選択線ドライバ 2a, 2b の何れが選択されたかに応じて、選択セルブロックのカラムアドレスが異なることになる。従って、同一物理カラムアドレスに存在する複数の不良メモリセルについてカラム置換をする場合に同一の論理カラムアドレスとして出力されない場合があるので、カラム置換の判定にアドレス置換が必要となり、余計なテスト用のメモリや回路が必要となる。この実施の形態では、 $INA = “L”$ の入力により、その様なカラム置換をする場合の判定にアドレス置換が不要となり、余計なテスト用のメモリや回路も必要ない。

【0180】

図 25 は、この実施の形態において、不良カラム置換を行う場合の動作フローを示している。まずステップ SE10 にて、入力 INA を “L” にする。これにより、前述のように不良メモリセルのテスト時、物理カラムアドレス ($c3, c2, c1$) は、論理カラムアドレス ($b3, b2, b1$) と等しくなる。ついで、ステップ SE11 にて、書き込み、消去および読み出しの初期テストをノーマルメモリセルアレイ 100 について行い、ノーマルメモリセルアレイ 100 内の不良メモリセルのアドレスを検出する。

【0181】

次にステップ SE12 にて、検出された不良メモリセルをカラム置換によって置き換えるかどうか判断し、カラム置換をする場合には、不良メモリセルを含む物理カラムアドレスを決定する。ついでステップ SE13 にて、不良メモリセルを含む物理カラムに近い側

の冗長セルアレイ中のスペアカラムにて置き換えを行うべく、フューズセット回路をプログラムする。フューズは、実施の形態1, 2で述べた通り、機械的フューズの他、代替回路を用いてもよい。このように不良カラムをこれに近いスペアカラムで置き換えると、カラム置換に伴うデータ選択線の遅延時間の差が小さくなり、タイミングずれが生じにくくなる。

【0182】

ついで、ステップS E 14にて、入力I N Aを”H”にする。即ち、ロウアドレスに応じて、論理カラムアドレスと物理カラムアドレスのマッピングを変える条件に設定する。これにより、冗長セルアレイ101a, 101bの読み出しおよび書き込みを行う場合の遅延を、ノーマルセルアレイ100の読み出しおよび書き込みを行う場合の遅延よりも削減することができる。特に、この物理／論理アドレス変換回路を含むカラムデコード回路48によって、高速読み出しおよび高速書き込みを行える冗長セルアレイ101a, 101bの論理アドレスを、ロウアドレスに依らず同じにすることができる。

【0183】

具体的に例えば、1ロウのデータを連続して読み出す場合、(b1, b2, b3) = (000), (001), (010), (011), (100), (101)の順で読み出されるものとする。この実施の形態によれば、どのセルブロックが選択されたかに依らず、データ入出力の際の冗長セルアレイの物理アクセスを最後にすることが出来る。先の実施の形態2で説明したように、誤りビット訂正回路5の符号として巡回符号を用いた場合には、情報データビットの最後にECCデータが検査ビットとして付加されて誤りビット訂正回路5に入力される形式をとる。この実施の形態によると、物理アクセスが最後になる冗長セルアレイにECCデータを記憶することができ、誤りビット訂正回路5に余分なデータ記憶回路を付加することなく、復号化および符号化できる。誤りビット訂正回路5を構成する巡回符号復号回路としては、公知である、巡回ハミング符号復号回路、巡回RS (リードソロモン) 符号復号回路やCRC (Cyclic Redundancy Check) 復号回路で容易に実現できる。

【0184】

以上、この実施の形態のように、論理／物理アドレス変換機能をカラムデコードに設けることにより、冗長セルアレイ101a, 101bをノーマルセルアレイ100の両側に設けた場合でも、実施の形態1, 2と同様に、少なくとも冗長セルアレイを高速に読み出しおよび書き込みすることが可能となる。ここまでは、冗長セルアレイを、不良カラムを置換するためのスペアカラム領域として、及びノーマルセルアレイに与えられるデータのECC記録領域として用いる例を説明したが、これらを組み合わせた機能を有してもよい。この実施の形態でも、メモリセルの構造や配線層の積層構造を変更する必要はなく、高い歩留まりやプロセスの信頼性を得ることができる。

【0185】

次に、図26～図28を参照して、この実施の形態のEEPROMの読み出し動作を説明する。図26は、図22に示すメモリセルアレイ1のなかの一つのデータ選択線ドライバ2により駆動される一つのセルブロックBLKを示している。図27及び図28は、図42に示した従来例の読み出しタイミングに対応するタイミングを示している。具体的に、図27は、通常データ読み出しに適用されるVreadタイミング回路401によりタイミング制御を行った場合であり、図28は、データ選択線ドライバ2に近い冗長セルアレイ101aを選択した高速データ読み出し動作に適用されるVreadタイミング回路402によりタイミング制御を行った場合である。

【0186】

図27及び図28共に、データ選択線WL14が選択されて、これに読み出し電圧Vrefが与えられ、非選択のデータ選択線WL0～WL13, WL15にパス電圧Vreadが与えられた時の選択データ選択線WL14と非選択データ選択線WL15の電圧波形を示している。但し、図27の電圧波形は、左側の冗長セルアレイ101b内のデータ選択線WL15, WL14上の、データ選択線ドライバ2から最も遠いノードB, Dの電圧

波形である。また図 28 は、同じくデータ選択線 WL15, WL14 上のノーマルセルアレイ 100 と冗長セルアレイ 101a の境界部のノード E, F の電圧波形である。

【0187】

データ選択線 WL15 上のノード E は、ノード B に比べてデータ選択線ドライバ 2 に近いために、パス電圧 V_{read} がタイミング t_0 から急速に立ち上がり、ほぼタイミング t_1' で V_{read} にまで達する。これに対してノード B は、データ選択線ドライバ 2 から離れているために、ノード E に比べて立ち上がりが緩やかであり、タイミング t_1' より長い時間経過後、タイミング t_1 で V_{read} に上昇する。データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_1' - t_0)$ と $(t_1 - t_0)$ との比は、データ選択線ドライバ 2 からノード E までのデータ選択線の長さの自乗と、データ選択線ドライバ 2 からノード B までのデータ選択線の長さの自乗との比にほぼ等しくなる。言い換えれば、データ選択線が長くなるほど、その長さの自乗に比例して立ち上がりの遅延時間は増大する。よって、データ選択線ドライバ 2 に近い冗長セルアレイ 101a が選択された場合、冗長セルアレイ 101a, 101b のカラム総数をそれぞれ i 、ノーマルセルアレイ 100 のカラム総数を j として、データ選択線の配線遅延は最もデータ選択線ドライバ 2 から遠いノーマルセルアレイ 100 内のメモリセルの場合に比べ、配線遅延は $[i / (2i + j)]^2 \times 100$ [%] 以下に短くなる。

【0188】

一方、データ選択線 WL14 の電圧は、タイミング $t_0 \sim t_1$ の間はデータ選択線ドライバ 2 の出力によりパス電圧 V_{read} より低い読み出し電圧 V_{ref} に保たれているが、これに隣接するデータ選択線 WL15 および WL13 からの容量結合によって電圧が上昇する。この電圧上昇は、ノード D の方がデータ選択線ドライバ 2 に近いノード F より大きい。これは、ノード D に容量結合するデータ選択線 WL15 および WL13 の容量および配線抵抗が、ノード F に対するそれより大きくなるためである。

【0189】

タイミング t_1' には、データ選択線 WL13 および WL15 上のノード E の電圧が一定となるため、これ以降ノード F の電圧上昇はない。データ選択線 WL14 はデータ選択線ドライバ 2 を通じて放電するため、タイミング t_2' でほぼ V_{ref} に戻る。ノード D は、タイミング t_1 にはデータ選択線 WL13 および WL15 のノード B の電圧が一定となるため、これ以降電圧上昇はなく、データ選択線ドライバ 2 を通じて放電するため、タイミング t_2 でほぼ V_{ref} に戻る。

【0190】

データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_2' - t_1')$ と $(t_2 - t_1)$ との比は、データ選択線ドライバ 2 からノード F までのデータ選択線の長さの自乗と、データ選択線ドライバ 2 からノード D までのデータ選択線の長さの自乗との比にほぼ等しくなる。即ち、データ選択線の長さが長くなるほど、その長さの自乗に比例して立ち下がるの遅延時間は増大する。データ選択線ドライバ 2 に近い冗長セルアレイ 101a が選択された場合、冗長セルアレイ 101a, 101b のカラム総数をそれぞれ i 、ノーマルセルアレイ 100 のカラム総数を j として、データ選択線の配線遅延は最もデータ選択線ドライバ 2 から遠い冗長セルアレイ 101b 内のメモリセルの場合に比べ、配線遅延は $[i / (2i + j)]^2 \times 100$ [%] 以下に短くなる。

【0191】

メモリセルのしきい値と読み出し電圧 V_{ref} との差によってメモリセルのセル電流が決定されるため、読み出し電圧 V_{ref} が一定となってからメモリセルの電流を測定する必要がある。図 26 に示す左側の冗長セルアレイ 101b のデータ選択線ドライバ 2 から最も遠いセルユニット 49c 内のセルデータ読み出しは、タイミング t_2 以降であることが必要である。データ選択線ドライバ 2 に近い冗長セルアレイ 49a のメモリセルデータ読み出しは、タイミング t_2' 以降であることが必要である。

【0192】

図 27 及び図 28 ではそれぞれセル電流読み出しに必要な時間範囲 T_{31} , T_{32} を確

保した後、タイミング t_3 及び t_3' からバス電圧 V_{read} を低下させて、読み出し動作を終了する。データ選択線 WL_{15} のデータ選択線ドライバ2に近いノードEは、タイミング t_3' の後、早いタイミング t_4' で接地電位 GND まで低下するが、データ選択線ドライバ2から遠いノードBは、タイミング t_3 からより長い時間がかかって、タイミング t_4 で接地電位 GND に低下する。

【0193】

データ選択線と基板との容量がデータ選択線の全容量中で最も支配的な場合には、 $(t_4' - t_3')$ と $(t_4 - t_3)$ との比は、データ選択線ドライバ2からノードEまでのデータ選択線の長さの自乗と、データ選択線ドライバ2からノードBまでのデータ選択線の長さの自乗との比にほぼ等しくなる。即ちデータ選択線の長さが長くなるほど、その長さの自乗に比例して立ち下りの遅延時間は増大する。データ選択線ドライバ2に近い冗長セルアレイ101aが選択された場合、冗長セルアレイ101a, 101bのカラム総数をそれぞれ i 、ノーマルセルアレイ100のカラム総数を j として、データ選択線の配線遅延は最もデータ選択線ドライバ2から遠い冗長セルアレイ101b内のメモリセルの場合に比べ、配線遅延は $[i / (2i + j)]^2 \times 100$ [%] 以下に短くなる。

【0194】

以上から、図26のセルユニット49a~49cを同時に読み出す場合には、左側の冗長セルアレイ101b内のセルユニット49cに対するパルスの遅延時間 $(t_1 - t_0)$ 、 $(t_2 - t_1)$ 、および $(t_4 - t_3)$ に律速されて、図27のように長い読み出しサイクルタイム $(t_4 - t_0)$ が必要である。一方、右側の冗長セルアレイ101a内のセルユニット49aのデータ読み出しを保証し、ノーマルセルアレイ100及び冗長セルアレイ101b内のセルユニットの読み出しを保証しない場合には、図28に示すように、サイクルタイム $(t_4 - t_0)$ より短いサイクルタイム $(t_4' - t_0)$ で、読み出しが可能である。データ選択線ドライバ2に近い冗長セルアレイ101aの読み出しを行う場合には、図27の場合のセル電流測定可能な時間範囲 $T_{31} (= t_3' - t_2')$ と同じ時間範囲 $T_{32} (= t_3 - t_2)$ を、短いサイクルタイム内に確保することができる。

【0195】

実施の形態1と同様に、タイミング t_0 、 $t_1 \sim t_4$ を設定するのにタイミング回路401を用い、タイミング t_0 、 $t_1' \sim t_4'$ を設定するのにタイミング回路402を用いることによって、データ選択線ドライバに近い冗長メモリセルアレイ101aを読み出す場合のサイクルタイムを短縮することができる。図27及び図28では、読み出し時の動作波形を示したが、書き込み時にも同様のことがいえる。即ち、書き込みパルス印加終了後のパルス立下り時間は、データ選択線ドライバ2から遠いセルユニット49cでは、データ選択線ドライバ2に近いセルユニット49aより長くかかる。

【0196】

そこで、通常書き込みタイミング信号より短い時間の書き込みタイミング信号を発生する書き込み用タイミング回路を用意する。このタイミング回路を用いることにより、データ選択線ドライバ2に近い冗長セルアレイ101aのみにデータを書き込む場合の書き込みサイクルタイムを、全セルアレイにデータを書き込む場合に比べて短縮することができる。

以上の読み出し、書き込みタイミングについての説明は、メモリセルアレイの左右対称性より、データ選択線ドライバ2a, 2bのいずれについても同様に成立する。

【0197】

またこの実施の形態では、データ選択線ドライバ2aについてみると、ノーマルセルアレイ100のドライバ2aから最も遠いメモリセルよりもドライバ2aに近い側に冗長セルアレイ101aが配置され、同様にデータ選択線ドライバ2bについてみると、ノーマルセルアレイ100のドライバ2bから最も遠いメモリセルよりもドライバ2bに近い側に冗長セルアレイ101bが配置されている。従って、冗長セルアレイ101a, 101b内のスペアカラムで、ノーマルセルアレイ100内の不良カラムを置換する場合に、その不良カラムよりもデータ選択線ドライバ2a或いは2bに近いスペアカラムを選択する

ことができる。以上から、不良カラム置換のためにタイミング余裕を大きく確保する必要がなく、より高速動作し、信頼性を改善したメモリセルアレイを実現できる。

【0198】

ここまでの実施の形態3では、二つの冗長セルアレイとこれに挟まれた一つのノーマルセルアレイを有する例を説明した。この実施の形態3は、上述の二つの冗長セルアレイと一つのノーマルセルアレイを単位として、更に多くの冗長セルアレイとノーマルセルアレイを配置した場合にも拡張することができる。

【0199】

[実施の形態4]

ここまでの実施の形態では、電荷蓄積層として浮遊ゲートを持つNAND型セルアレイを用いたが、浮遊ゲート型メモリセルに代わって、MONOS型メモリセルを用いることができる。その様な実施の形態でのNANDセルユニットの図36及び図37に対応する断面をそれぞれ、図38及び図39に示す。平面図は図35と同じである。また図38及び図39では、図36及び図37と対応する部分に同一符号を付して詳細な説明は省く。

【0200】

不揮発性のMONOSメモリセルM0～M15は、SiNやSiONからなる電荷蓄積層126を持つ。直列接続されたメモリセルM0～M15の一端は選択トランジスタS1を介してビット線BLに接続され、他端は選択トランジスタS2を介して共通ソース線SLに接続されている。これらのメモリセル及び選択トランジスタは、同じウェル上に形成されている。具体的に、ボロン濃度が 10^{14} cm^{-3} ～ 10^{19} cm^{-3} のp型シリコン領域(ウェル)123に、1～10nmの厚さのシリコン酸化膜またはオキシナイトライド膜からなるトンネルゲート絶縁膜124を介して、SiN、SiONまたは Al_2O_3 からなる電荷蓄積層126が3nm～50nmの厚さで形成されている。

【0201】

電荷蓄積層126上には、厚さ2nm～10nmの間のシリコン酸化膜、 Al_2O_3 、HfSiO、ZrSiO、HfSiON、またはZrSiONからなる層間絶縁膜150を介して、制御ゲート127が形成されている。制御ゲート127は、ポリシリコン、WSi(タングステンシリサイド)とポリシリコンとのスタック構造又は、NiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造からなる。その厚みは、10nm～500nmである。

【0202】

制御ゲート127は、図35において横方向に配列されたセルユニットで共有されるようにセルブロック境界まで連続して形成されて、データ選択線WL0～WL15および、選択ゲート制御線SSL、GSLを構成する。p型ウェル123は、n型シリコン領域122によってp型半導体基板121と分離され、基板121と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。

【0203】

この実施の形態のゲート構造は、半導体領域123の側壁が素子分離絶縁膜124で覆われているので、電荷蓄積層126を形成する前のエッチングで基板面が露出することがなく、制御ゲート127が半導体領域123よりも下に来ることを防ぐことができる。よって、半導体領域123と絶縁膜24との境界での、ゲート電界集中やしきい値低下した寄生トランジスタが生じにくい。さらに、電界集中に起因する書き込みしきい値の低下現象(いわゆる、sidewalk現象)が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【0204】

これらゲート電極の両側には、5nm～200nmの厚さのシリコン窒化膜またはシリコン酸化膜からなる側壁絶縁膜143を挟んでソースまたはドレインとなるn型拡散層128が形成されている。これら拡散層128と電荷蓄積層126、制御ゲート127により、MONOS型不揮発性EEPROMセルが形成されている。電荷蓄積層のゲート長は

、好ましくは $0.5\text{ }\mu\text{m}$ 以下 $0.01\text{ }\mu\text{m}$ 以上とする。ソース、ドレイン n 型拡散層128は、リンや砒素、アンチモンを、表面濃度が $10^{17}\text{ cm}^{-3}\sim 10^{21}\text{ cm}^{-3}$ となるように深さ $10\text{ nm}\sim 500\text{ nm}$ の間で拡散形成されている。 n 型拡散層128は隣接するメモリセルで共有されて、NANDストリングが実現されている。

【0205】

選択ゲートトランジスタのゲート127SSL, 127GSLは、MONOS型メモリセルの制御ゲート127と同層で形成されて、それぞれ選択ゲート線（ブロック選択線）SSL, GSLとして連続するようにパターン形成される。ゲート電極127SSLおよび127GSLのゲート長は、メモリセルゲート電極のゲート長よりも長く、例えば、 $1\text{ }\mu\text{m}$ 以下 $0.02\text{ }\mu\text{m}$ 以上と形成することが望ましい。これにより、ブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0206】

NANDセルユニットの一方のゲート127SSLの片側に形成された n 型拡散層128dは、コンタクト131dを介してデータ転送線であるビット線（BL）136に接続される。ビット線136は、タングステンやタングステンシリサイド、チタン、チタンナイトライド、またはアルミニウムからなる。データ転送線136は、図35の縦方向に隣接するセルユニットで共有されるように、メモリセルアレイ境界まで連続的に形成されている。他方のゲート127GSLの片側に形成された n 型拡散層128sは、コンタクト131sを介してソース線（SL）133に接続されている。ソース線SLは、図35の横方向に配列された複数のセルユニットに共通接続されるように、セルブロック境界まで連続的に形成されている。

【0207】

コンタクト131d, 131sは、例えば n 型または p 型のドーフトポリシリコン、タングステン、タングステンシリサイド、Al, TiN, Ti等の導電体である。ビット線BL及びソース線SLとトランジスタとの間には、 SiO_2 や SiN からなる層間絶縁膜168によって充填されている。ビット線BL上部には、例えば SiO_2 , SiN , ポリイミド等の保護絶縁層137が形成され、更にこの上には図には示していないが、W, Al, Cuからなる上部配線が形成されている。

【0208】

この実施の形態のセルアレイ構造を用いた場合にも、実施の形態1～3と同様の回路方式を採用して、実施の形態1～3と同様の効果が得られる。またこの実施の形態では、MONOS型EEPROMセルを用いているため、次に列記するような効果が得られる。

【0209】

(a) 浮遊ゲート型EEPROMセルよりも書き込み電圧および消去電圧を低電圧化することができる。その結果、素子分離間隔を狭めゲート絶縁膜厚を薄膜化しても耐圧を維持することができる。更に高電圧が印加される回路の面積を小さくでき、よりチップ面積を縮小することができる。

(b) 電荷蓄積層126の厚さは 20 nm 以下に小さくでき、ゲート形成時のアスペクト比を低減できる。この結果、ゲート電極の加工性や層間絶縁膜168の埋め込み性の向上により、より耐圧を向上させることができる。

(c) 浮遊ゲート電極を形成するためのプロセスやスリット作成プロセスが不要であり、プロセスがより簡単になる。

(d) 電荷蓄積層126は絶縁体であって、電荷トラップに電荷を捕獲するので、電荷保持特性が優れている。具体的には、放射線に対して電荷が抜けにくいという強い放射線耐性が得られる。また、側壁絶縁膜143を薄膜化しても、電荷蓄積層126に捕獲された電荷がすべて抜けてしまうことなく、良好な電荷保持特性を維持できる。

(e) 電荷蓄積層126を、半導体領域123と合わせずれなく形成することができ、電荷蓄積層126と半導体領域123との間の均一な容量を実現できる。これにより、メモリセルの容量ばらつきやメモリセル間の容量ばらつきを低減することができる。

【0210】

ここまでの実施の形態 1-4 では、セルユニット 49 および 49' の構造としては、NAND 型セルユニットを示したが、図 33 に示す NAND 型セルユニット構造や、図 34 に示すバーチャルグラウンド (Virtual Ground) 型セルユニットを用いることもできる。図 33 の NAND 型セルユニットでは、複数のメモリセル M0 ~ M15 が並列接続され、その一端が選択ゲートトランジスタ S1 を介してデータ転送線 BL に、他端が選択ゲートトランジスタ S2 を介してソース線 SL に接続されている。メモリセル構造は、浮遊ゲート型でも MONOS 型でもよい。この NAND 型セルユニットは、NAND 型セルユニットと比べてチャネル抵抗が小さく、従って特に多値データ記憶に適用したときにしきい値の安定性に優れている。

【0211】

図 34 のバーチャルグラウンド型セルユニットは、NAND 型セルユニットと類似しているが、メモリセル M0 ~ M15 とこれに対してデータ選択線方向に隣接するメモリセル M0' ~ M15' とが、ソース又はドレインを共有している。メモリセル M0 ~ M15 の一端と、M0' ~ M15' の一端はそれぞれ選択トランジスタ S1, S1' を介してデータ転送線 BL1, BL1' に、共通端子は選択トランジスタ S2 を介してデータ転送線 BL2 に接続されている。メモリセル構造は、浮遊ゲート型でも MONOS 型でもよい。このバーチャルグラウンド型セルユニットでは、隣接するメモリセル M0 ~ M15 と、M0' ~ M15' の間に素子分離領域を必要とせず、より高密度のメモリセルアレイが得られる。このユニットセルアレイ構成は、ソース又はドレインを共有する二つのメモリセルが対をなして、1 メモリセル当たり 2 ビットのデータ記憶ができ、高密度の EEPROM が得られる。

【0212】

これら図 33 及び図 34 のセルユニット構成においても、データ選択線 WL0 ~ WL15 に沿って複数のセルユニットが配置されて、それらのセルユニットの位置により配線遅延が異なる事情は、NAND 型セルユニットと同様である。従ってこれらのセルユニット構成を用いた場合にも、実施の形態 1 ~ 3 と同様の回路方式を採用して、実施の形態 1 ~ 3 と同様の効果が得られる。

【0213】

【実施の形態 5】

図 29 は、ここまでの実施の形態で説明した EEPROM の応用例であるファイルシステム 212 を示している。ファイルシステム 212 は、具体的には例えば IC カードやメモリカードであり、入出力ポート 201 を通じて、例えばコンピュータ等の外部電子装置 (入出力システムデバイス) 211 と電氣的に接続され、データの書き込み、読み出しおよび消去の電氣的信号の授受が行われる。このファイルシステム 212 は、入出力ポート 201 の他、一時記憶装置となる RAM (Random Access Memory) 201、情報演算を行う CPU (Central Processing Unit) 202、および ROM 204 を含む。これらはデータバスおよびシステム内制御線によって、データの授受が行えるようになっている。

【0214】

ROM 204 は、CPU 202 の実行するプログラムを記憶するため、さらに、例えば、個々のシステムの ID 番号やデータを記憶するための領域であり、実施の形態 1-4 で説明した EEPROM に対応する。ROM 204 はデータバスに接続された ROM 制御回路 205 を有する。この制御回路 205 はデータバスやシステム内制御線を通じて与えられた、ROM 204 の読み出し操作、書き込み操作、および消去操作指示によって、その特定アドレスの読み出し操作、書き込み操作、および消去操作を行う論理回路である。この ROM 制御回路 205 は列デコーダ/センスアンプ 206 と接続され、指定された列のアドレスをデコードし、その列の書き込みデータまたは読み出しデータを授受する。制御回路 205 は更に、実施の形態 1-3 で説明した誤りビット訂正回路 5 を含んでもよい。或いはまた、誤りビット訂正回路 5 は CPU 202, RAM 203 或いは ROM 204 に記憶されたソフトウェアによって実現してもよい。列デコーダ/センスアンプ 206 は夫

々のデータ転送線を通じてメモリセルアレイ 1 と接続されている。

【0215】

ROM制御回路 205 は行デコーダ/ドライバ 208 と接続される。行デコーダ/ドライバ 208 は、指定された行アドレスをデコードし、その行に対応するデータ選択線に、例えば書き込み時に昇圧回路 209 から与えられた昇圧電圧を印加する回路である。昇圧回路 209 は、例えば、チャージポンプ回路を有し、メモリセルアレイ 1 に例えば、電源電圧以上 30V 以下の高電圧を与える回路である。行デコーダ/ドライバ 208 はデータ選択線を通じてメモリセルアレイ 1 と接続されている。メモリセルアレイ 1 は、例えば、前述の実施の形態 1～3 のいずれかの構成を有し、ファイルシステム 212 のデータの記憶場所 (Allocation) を示すテーブルである、いわゆる F A T (File Allocation Table) と、通常データを記憶するデータ領域を含んでいる。これらの F A T 及びデータ領域は、実施の形態 1～3 で説明した冗長セルアレイ領域 101 内に存在する書き込み完了フラグを記憶するフラグ領域を含む。通常の F A T やデータ領域は、メモリセルアレイ 1 内のノーマルセルアレイ 100 の領域に形成すればよい。

【0216】

ファイルシステム 212 には、後述するセクタカウンタのカウント値や最終セクタインデックスを記憶する領域として、セクタアドレスを少なくとも 1 つ記憶する程度の小容量記憶領域が必要である。これらの記憶領域は、高速で頻繁に読み出しや書き込みを行い、またアドレスのインクリメントやデクリメントが必要となるので、RAM 201 または CPU 202 に設定することが望ましい。なお、図では示していないが、ファイルシステム 212 には、ファイル書き込み時に電源供給が遮断される可能性がある電源が接続されている。この電源供給遮断は、電源の供給能力が不足した場合のみならず、ファイルシステム 212 が I C カードやメモリカードであって、カードを書き込み時に抜き取った場合にも生ずる。

【0217】

ファイルシステム 212 は、この様な電源遮断があった場合にも、書き込んだデータを全て失うことなく、高速で書き込み動作を復帰できるシステムを含むことが好ましい。図 30 及び図 31 は、その様な復帰システムを含むデータ書き込み動作フローを示している。ここでは、電源供給が遮断されてデータ書き込みが途中で終了してしまった場合を示しているが、電源断だけでなく、例えばシステムのソフトウェアの暴走など不具合によって、書き込み途中で終了した場合でも同様である。またここでは、書き込むデータが複数のデータ選択線で選択されたメモリセルに及ぶ大容量の場合を想定しており、1 セクタは、1 ページ即ち一本のデータ選択線のメモリセル範囲を言い、セクタカウンタは、複数のデータ選択線の内のどのデータ選択線 (即ちセクタ) に書き込むかを示したインデックスを記憶する装置である。

【0218】

図 30 を用いて大容量データを書き込む方法を説明する。まず、ステップ S E 15 にて、F A T を読み出し、データを追加書き込み可能なセクタが充分あるかを判定して、十分な場合は最初のデータを記憶するセクタアドレスを求める。また例えば、書き込みデータ量を 1 ページ当たりのメモリセル容量で割ることにより、最終セクタインデックスを計算する。さらにここで、すべてのデータを記憶する複数のセクタアドレスを求めておく。

【0219】

ついで、ステップ S E 15 で計算したデータを書き込むべきセクタアドレスすべてを F A T に書き込む (ステップ S E 16)。この際、F A T と同じセクタ内の書き込み完了フラグ領域については、書き込み完了を示すフラグを立てない状態を維持する。この後、セクタカウンタを初期値にリセットする (ステップ S E 17)。ついで、ステップ S E 15 で求めた最初のデータを記憶するセクタアドレスにデータを書き込む (ステップ S E 18)。

【0220】

このデータ書き込み時に選択されるページのフラグ領域に、ステップ S E 16 で行った

FAT書き込みについての書き込み完了フラグを同時に書き込む。この様に、データ領域への書き込み時に同時に、直前のFAT書き込みの書き込み完了フラグを書き込むことにより、書き込み時間を短縮することができる。このステップSE18の終了までに電源供給が遮断された場合には、いずれの書き込み完了を示すフラグも立っていないので、ステップSE15から再書き込みを行えばよい。再書き込みの具体的フローは図31を用いて後で説明する。

【0221】

ついで、セクタカウンタを1つ増やし（ステップSE19）、セクタカウンタが最終セクタインデックス以下かどうか判定する（ステップSE20）。最終セクタインデックス以下であることが判定されたら、FATを読み出し、セクタカウンタの示すデータを記憶するセクタアドレスに該当するセクタのデータを書き込む（ステップSE21）。このデータ書き込み時に同時に、選択されたページのフラグ領域に、直前のデータ書き込みでの書き込み完了を示すフラグを書き込む。これにより、フラグ領域とデータ領域を書き込む時間を短縮することができる。このステップSE21のFAT領域読み出しは、ステップSE15で読み出したFATデータを例えば、RAM203またはCPU202内のレジスタに一時的に記憶しておき、そのFATデータを読み出してもよい。これにより、読み出し時間が短縮される。

【0222】

ステップSE21が終了後、ステップSE19に戻る。ステップSE18終了からステップSE21終了までの間に電源供給が遮断された場合には、FATについては書き込み終了しているので、書き込み完了フラグが立っていないデータ以降の再書き込みを行えばよい。その再書き込みの具体的フローは図31を用いて後で説明する。ステップSE20でセクタカウンタが最終セクタインデックスを越えたことが判定された場合には、ステップSE22にて、直前のデータ書き込みに関する書き込み完了フラグをFATと同じセクタの書き込み完了フラグ領域に書き込む。このステップSE22シーケンスは、冗長セルアレイ領域101内に存在する書き込み完了フラグ領域に選択的にデータ書き込みを行うので、実施の形態1～3で説明したように、高速の書き込みが可能である。ステップSE22が正常終了した場合には、書き込みが正常終了したとする。

【0223】

以上のように図30のデータ書き込みでは、書き込み完了フラグを書き込まない場合と比較し、書き込み時間および書き込み回数の増大は、ステップSE22のシーケンスの1セクタ分のみであり、書き込み完了フラグとデータを別々に書き込むよりも大幅に全体の書き込み時間を短縮できる。即ちこの実施の形態によると、データ書き込み時の電源遮断後の再書き込みが、通常の前データ消去後の再書き込みに比べて、短時間で行われる。

【0224】

次に、図31を用いて、前述の大容量データを書き込んだ後に、再書き込みが必要か否かを調べ、必要な場合に再書き込みを行ういわゆるベリファイチェックの方法を示す。ステップSE23にて、FATを読み出し、すべてのデータを記憶する複数のセクタアドレスを読み出す。同時に、FATと同一セクタに存在するステップSE22で書き込んだ書き込み完了フラグを読み出す。次に、ステップSE24にて、ステップSE23の書き込み完了フラグがセットされているかどうか判定する。セットされている場合は、すべてのセクタが正常に書き込まれたことを示しているので、正常終了する。セットされていない場合には、図30の書き込みシーケンス途中で異常終了したことを示しているので、ステップSE25にてセクタカウンタを初期値にリセットする。

【0225】

ついで、ステップSE26において、ステップSE23で求めた最初のデータを記憶するセクタアドレスを求め、そのセクタの書き込み完了フラグを読み出す。この書き込み完了フラグはステップSE18にて設定されたフラグとなっている。このステップSE26シーケンスは、冗長セルアレイ領域101内に存在する書き込み完了フラグ領域に対する選択的読み出しであり、ノーマルセルアレイ100を読み出す必要はないので、実施の形

態 1-3 で説明したように高速で読み出しを行うことができ、読み出し時間を短縮できる。またステップ S E 2 6 で必要な F A T 中のセクタアドレス取得は、ステップ S E 2 3 で読み出した F A T データを例えば、R A M 2 0 3 または C P U 2 0 2 内のレジスタに一時的に記憶しておき、その F A T データを読み出せばよく、これにより F A T 読み出し時間を短縮できる。

【0226】

ついで、ステップ S E 2 7 にて、ステップ S E 2 6 の書き込み完了フラグがセットされているかどうか判定する。セットされている場合は、対応するセクタの書き込みは完了したことを示しているので、ステップ S E 2 8 でセクタカウンタを 1 増やし、ステップ S E 2 6 に戻って次のデータを記憶するセクタの書き込み完了フラグを読み出す。ステップ S E 2 7 で書き込み完了フラグがセットされていないと判定された場合には、図 30 の書き込みシーケンス途中で異常終了したことを示している。この場合、ステップ S E 2 9 にて、セクタカウンタが初期値かどうか判定する。セクタカウンタが初期値の場合には、F A T データ書き込みが完了せずステップ S E 1 8 までで異常終了したことを示している。従って、図 30 のフローにより、全データを F A T から再書き込みを行う。また、セクタカウンタが初期値でない場合は、ステップ S E 3 1 にてセクタカウンタを 1 減らし、データ書き込みが異常終了したセクタのインデックスにする。そして、ステップ S E 3 2 にて、図 30 のステップ S E 2 1 に戻り、データ書き込みが異常終了したセクタからデータの再書き込みを行う。

【0227】

なお、あるセクタのメモリセルを一括消去した後、これらに並列にデータ書き込みを行うフラッシュ型 E E P R O M では、そのセクタの書き込みサイクル途中で異常終了した場合、“0”書き込みすべきセルの少なくとも一部は書き込み不足状態であり、消去状態（“1”データ）のセルは消去状態のままである。従って、書き込み動作が中断されたセクタを再度消去することなく、そのセクタから追加書き込み動作を行えばよい。これにより高速のデータの復元が可能である。特に、1 データ選択線に接続されたメモリセルの書き込み時間よりも消去時間が長い場合には有効である。

【0228】

この実施の形態において、図 29 に破線で囲んだ R O M 2 0 4 内部だけでなく、これと同一半導体基板上に例えば、C P U 2 0 2 や R A M 2 0 3 を形成した混載集積回路とすることもできる。低電圧動作する C P U 2 0 2 や R A M 2 0 3 は、行デコーダ／ドライバ 208 や列デコーダ／センスアンプ 206 の近く配置してもパンチスルーの生じるおそれはない。従ってこのような混載集積回路とすることで、高密度集積化チップが実現できる。

【0229】

【実施の形態 6】

図 40 は、実施の形態 1-4 で説明した E E P R O M のもう一つの応用例のフラッシュメモリシステムを示している。このフラッシュメモリシステムは、ホストプラットフォーム 601 と、ユニバーサル・シリアル・バス（USB）フラッシュ装置 602 より構成される。ホストプラットフォーム 601 は、USB ケーブル 605 を介して、USB フラッシュ装置 602 に接続されている。ホストプラットフォーム 601 は、USB ホストコネクタ 604 を介して USB ケーブル 605 に接続され、USB フラッシュ装置 602 は USB フラッシュ装置コネクタ 606 を介して USB ケーブル 605 に接続される。

【0230】

ホスト・プラットフォーム 601 は、USB バス上のパケット伝送を制御する USB ホスト制御器 603 を有する。USB フラッシュ装置 602 は、少なくとも一つのフラッシュメモリモジュール 608 と、これを制御するとともに、USB フラッシュ装置 602 の USB バスへのインタフェースを制御する USB フラッシュ装置制御器 607 とを有する。フラッシュメモリモジュール 608 が実施の形態 1-4 で説明した E E P R O M を含む。

【0231】

USB フラッシュ装置 602 がホストプラットフォーム 601 に接続されると、標準 US

B列挙処理が始まる。この処理において、ホストプラットホーム601は、USBフラッシュ装置602を認知してUSBフラッシュ装置602との通信モードを選択し、エンドポイントという、転送データを格納するFIFOバッファを介して、USBフラッシュ装置602との間でデータの送受信を行う。ホストプラットホーム601は、他のエンドポイントを介してUSBフラッシュ装置602の脱着等の物理的、電気的狀態の変化を認識し、関連する受け取るべきパケットがあれば、それを受け取る。

【0232】

ホストプラットホーム601は、USBホスト制御器603へ要求パケットを送ることによって、USBフラッシュ装置602からのサービスを求める。USBホスト制御器603は、USBケーブル605上にパケットを送信する。USBフラッシュ装置602がこの要求パケットを受け入れたエンドポイントを有する装置であれば、これらの要求はUSBフラッシュ装置制御器607によって受け取られる。

【0233】

USBフラッシュ装置制御器607は、フラッシュメモリモジュール608から、あるいはフラッシュメモリモジュール608へ、データの読み出し、書き込み、あるいは消去等の種々の操作を行う。それとともに、USBアドレスの取得等の基本的なUSB機能をサポートする。USBフラッシュ装置制御器607は、フラッシュメモリモジュール608の出力を制御する制御ライン609を介して、また、チップイネーブル/CEその他の制御信号や、読み出しイネーブル信号、書き込みイネーブル信号等を送り、フラッシュメモリモジュール608を制御する。

【0234】

フラッシュメモリモジュール608は、アドレス/データバス610によってもUSBフラッシュ装置制御器607に接続されている。アドレス/データバス610は、フラッシュメモリモジュール608に対する読み出し、書き込みあるいは消去のコマンドと、フラッシュメモリモジュール608のアドレス及びデータを転送する。

【0235】

ホストプラットホーム601が要求した種々の操作に対する結果及び状態をホストプラットホーム601へ知らせるために、USBフラッシュ装置602は、状態エンドポイント（エンドポイント0）を用いて状態パケットを送信する。この処理において、ホストプラットホーム601は、状態パケットがないかどうかをチェックし（ポーリング）、USBフラッシュ装置602は、新しい状態メッセージのパケットが存在しない場合に空パケットを、あるいは状態パケットそのものを返す。

以上のようにこの実施の形態によれば、EEPROM応用としてのUSBフラッシュ装置のさまざまな機能を実施可能である。なお、USBケーブル605を省略して、コネクタ間を直接接続することも可能である。

【0236】

この発明は、上記実施の形態1-6に限られるものではなく、以下に例示するように更に種々の変形が可能である。

素子分離絶縁膜や層間絶縁膜の形成法は、シリコンをシリコン酸化膜やシリコン窒化膜に変換する方法の他、例えば酸素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いることができる。

電荷蓄積層126は、MONOS型メモリセルの場合、 TiO_2 、 Al_2O_3 、タンタル酸化膜、チタン酸ストロンチウム、チタン酸バリウム、チタン酸ジルコニウム鉛や、それら積層膜を用いてよい。更に電荷蓄積層126はソース、ドレイン間で分離されていたり、ドット状に形成されていてもよい。

上記実施の形態では、半導体基板121としてp型Si基板を用いたが、n型Si基板やSOI基板の他、SiGe混晶、SiGeC混晶など、シリコンを含む他の単結晶半導体基板を用いることができる。

上記実施の形態では、浮遊ゲート型メモリセル及びMONOS型メモリセル共に、nチャネルの例を説明したが、n型ウェル上のpチャネル型メモリセルを用いることもできる

。その場合、ソース、ドレインはp型となり、ドーピング不純物種は、As, P, Sbに代わって、In, Bのいずれかを用いればよい。

ゲート126および127には、多結晶Siの他、SiGe混晶やSiGeC混晶或いはこれらの積層構造、更にアモルファスSi, アモルファスSiGe混晶, アモルファスSiGeC混晶やこれらの積層構造を用いることができる。ただし、ゲートは半導体であること、特に、Siを含んだ半導体であることが、良好な側壁絶縁膜を酸化または酸窒化によって形成することができるので望ましい。更にゲート電極表面に、Ti, Co, Ni, Mo, Pd, Pt等の金属との反応によるシリサイド膜を形成してもよい。

上記各実施の形態では、冗長セルアレイ領域101を高速読み出しおよび書き込みする例を説明したが、ノーマルセルアレイ100内に設定されるFAT (File Allocation Table) 領域等、高速読み出しおよび書き込みを必要とする領域についても、同様の高速読み出し及び書き込みを適用することが可能である。

メモリセルは、二値記憶に限らず、3値以上の多値デジタル値を複数のしきい値として記憶する場合もこの発明は有効である。多値記憶の場合、二値記憶に比べて複数のデータしきい値間の間隔が狭くなり、しきい値を測定する読み出し電圧の安定が問題となるので、この発明の効果は大きい。但し、一つのメモリセルが記憶するしきい値が一般には 2^n 値となることが、情報データのデコードが簡略化されるため望ましい。

【図面の簡単な説明】

【0237】

【図1】 この発明の実施の形態によるEEPROMの機能ブロック構成を示す図である。

【図2A】 同EEPROMのメモリセルアレイの構成を示す図である。

【図2B】 同EEPROMのセンスアンプ回路及びベリファイ判定回路の構成を示す図である。

【図3】 同EEPROMのセンスアンプ回路の具体構成を示す図である。

【図4】 同EEPROMのデータ選択線ドライバの構成を示す図である。

【図5】 同EEPROMの読み出しタイミング回路の構成例を示す図である。

【図6】 同EEPROMの読み出しタイミング回路の他の構成例を示す図である。

【図7】 図6に用いられるバイラテラルスイッチの構成を示す図である。

【図8】 図2Bに用いられるフューズの代替回路例を示す図である。

【図9】 同EEPROMの書き込み動作を説明するためのメモリセルアレイの1セルブロックを示す図である。

【図10】 通常のタイミング制御による書き込みベリファイ動作のデータ選択線電圧変化を示す図である。

【図11】 高速読み出しモードでのデータ選択線電圧変化を示す図である。

【図12】 同EEPROMの書き込み動作を説明するためのフローチャートである。

【図13】 他の実施の形態によるEEPROMの機能ブロック構成を示す図である。

【図14A】 同EEPROMのメモリセルアレイの構成を示す図である。

【図14B】 同EEPROMのセンスアンプ回路及びベリファイ判定回路の構成を示す図である。

【図15】 同EEPROMのデータ選択線ドライバの構成を示す図である。

【図16】 同EEPROMの初期設定記憶回路及びカラムアドレス一致検出回路の構成を示す図である。

【図17】 同EEPROMの初期設定記憶回路及びカラムアドレス変換回路の構成を示す図である。

【図18】 同EEPROMの書き込み動作を説明するためのメモリセルアレイの1セルブロックを示す図である。

【図19】 通常のタイミング制御による書き込みベリファイ動作のデータ選択線電圧変化を示す図である。

【図20】 高速読み出しモードでのデータ選択線電圧変化を示す図である。

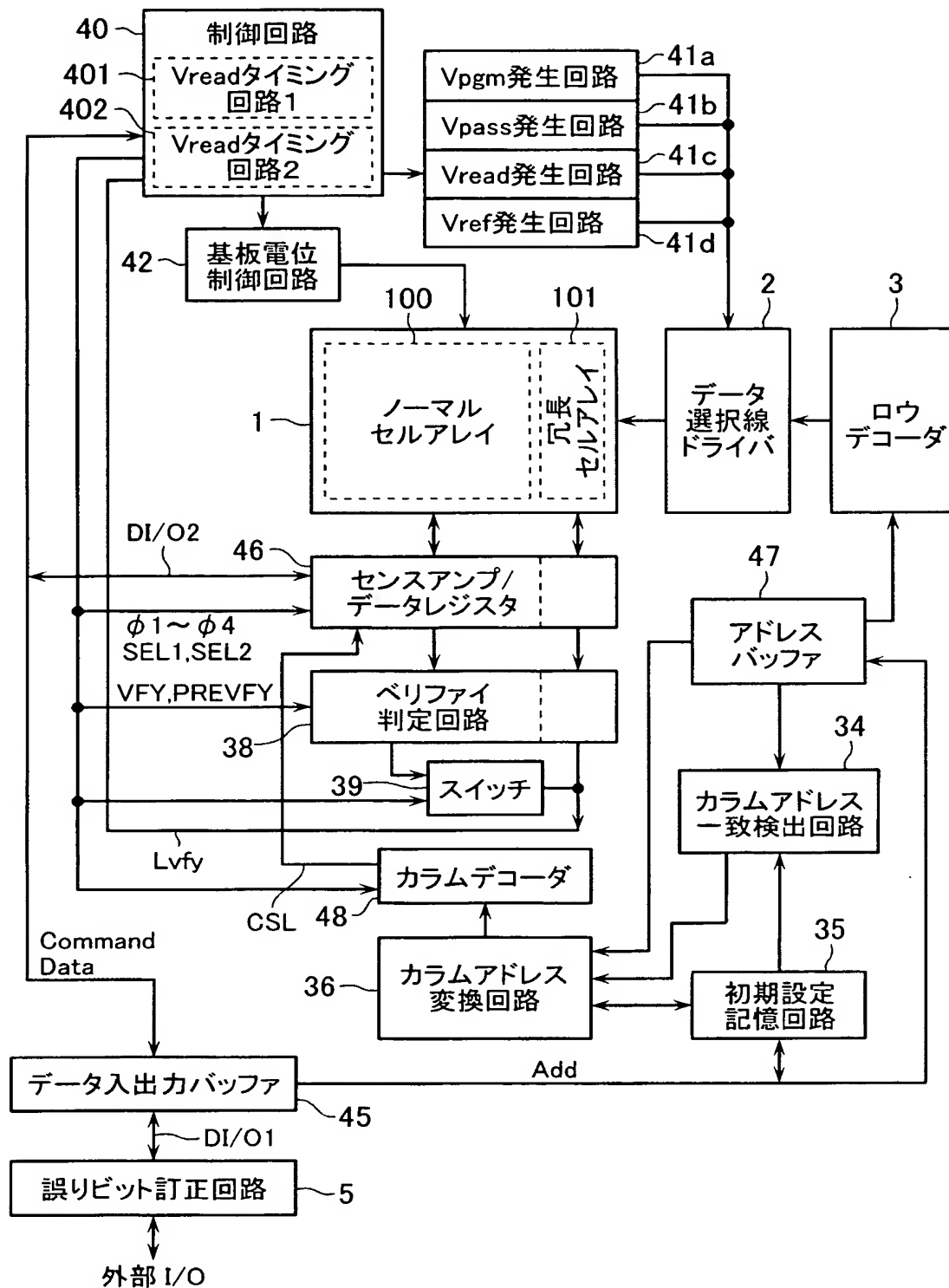
- 【図 2 1】同 E E P R O M の書き込み動作を説明するためのフローチャートである。
- 【図 2 2】他の実施の形態による E E P R O M の機能ブロック構成を示す図である。
- 【図 2 3 A】同 E E P R O M のメモリセルアレイの構成を示す図である。
- 【図 2 3 B】同 E E P R O M のセンスアンプ回路及びベリファイ判定回路の構成を示す図である。
- 【図 2 4】同 E E P R O M のカラムデコーダの構成を示す図である。
- 【図 2 5】同 E E P R O M の不良カラム置換の動作を説明するためのフローチャートである。
- 【図 2 6】同 E E P R O M の書き込み動作を説明するためのメモリセルアレイの 1 セルブロックを示す図である。
- 【図 2 7】通常のタイミング制御による書き込みベリファイ動作のデータ選択線電圧変化を示す図である。
- 【図 2 8】高速読み出しモードでのデータ選択線電圧変化を示す図である。
- 【図 2 9】他の実施の形態によるファイルシステムの構成を示す図である。
- 【図 3 0】同ファイルシステムのデータ書き込み動作を説明するためのフローチャートである。
- 【図 3 1】同ファイルシステムのデータ再書き込み動作を説明するためのフローチャートである。
- 【図 3 2】上記各実施の形態に用いられる N A N D 型セルユニットの等価回路である。
- 【図 3 3】上記各実施の形態に用いられる A N D 型セルユニットの等価回路である。
- 【図 3 4】上記各実施の形態に用いられるバーチャルグラウンド型セルユニットの等価回路である。
- 【図 3 5】N A N D 型セルユニットのアレイの平面図である。
- 【図 3 6】浮遊ゲート型メモリセルを用いた場合の図 3 5 の B - B ' 断面図である。
- 【図 3 7】浮遊ゲート型メモリセルを用いた場合の図 3 5 の A - A ' 断面図である。
- 【図 3 8】M O N O S 型メモリセルを用いた場合の図 3 5 の B - B ' 断面図である。
- 【図 3 9】M O N O S 型メモリセルを用いた場合の図 3 5 の A - A ' 断面図である。
- 【図 4 0】他の実施の形態によるフラッシュメモリシステムの構成を示す図である。
- 【図 4 1】従来の E E P R O M の動作を説明するためのセルブロックの構成を示す図である。
- 【図 4 2】従来の E E P R O M の書き込みベリファイ動作のデータ選択線電圧変化を示す図である。

【符号の説明】

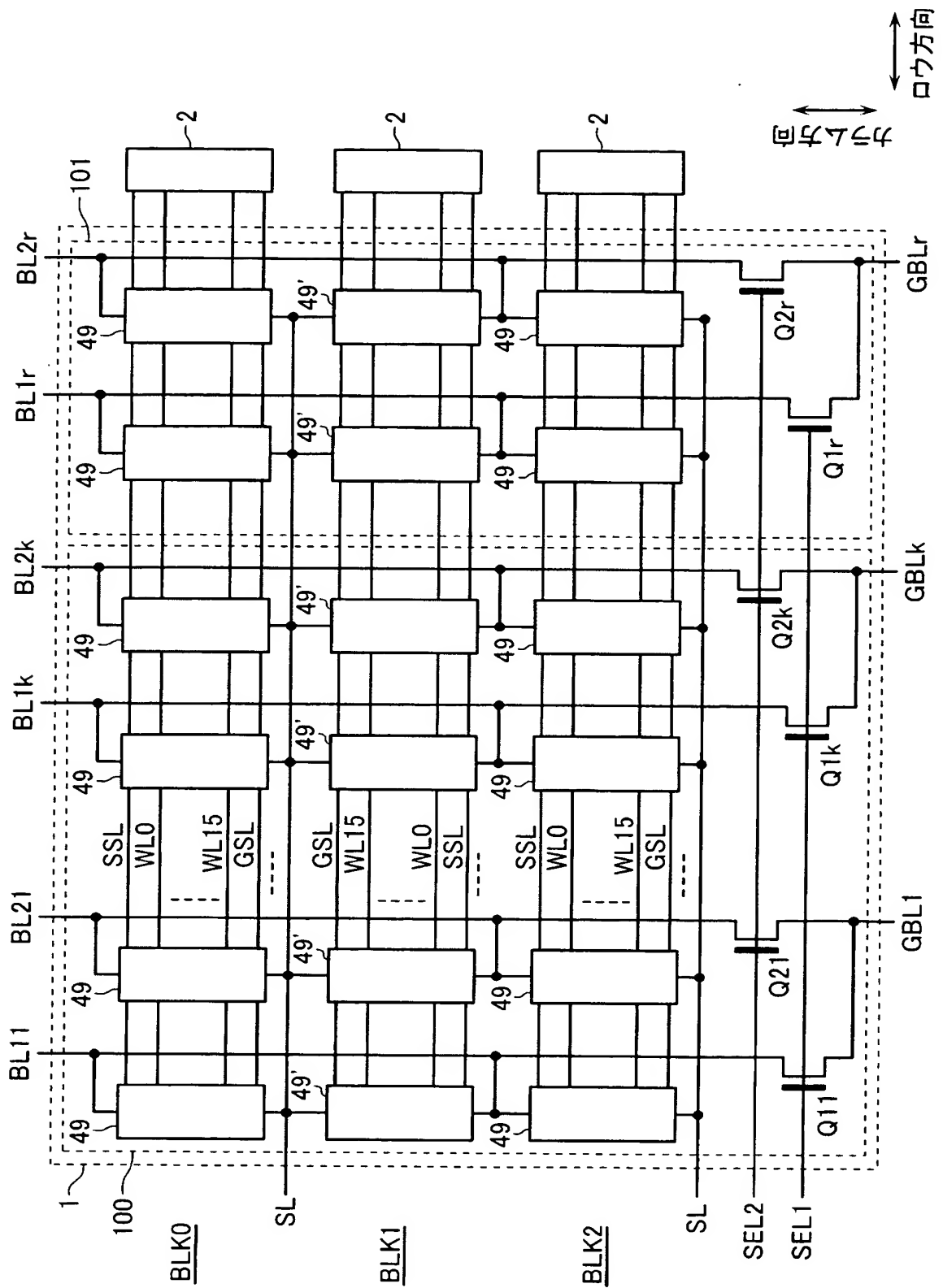
【0 2 3 8】

1…メモリセルアレイ、1 0 0 (1 0 0 a, 1 0 0 b)…ノーマルセルアレイ (ノーマルデータ領域)、1 0 1 (1 0 1 a, 1 0 1 b)…冗長セルアレイ (冗長領域)、2 (2 a, 2 b)…データ選択線ドライバ、3…ロウデコーダ、3 4…カラムアドレス一致検出回路、3 5…初期設定記憶回路、3 6…カラムアドレス変換回路、3 8…ベリファイ判定回路、3 9…スイッチ素子、4 0…制御回路、4 0 1, 4 0 2…タイミング回路、4 1 (4 1 a ~ 4 1 d)…高電圧発生回路、4 2…基板電位発生回路、4 5…データ入出力バッファ、4 6…センスアンプ回路、4 7…アドレスバッファ、4 8…カラムデコーダ、5…誤りビット訂正回路、4 9, 4 9'…セルユニット。

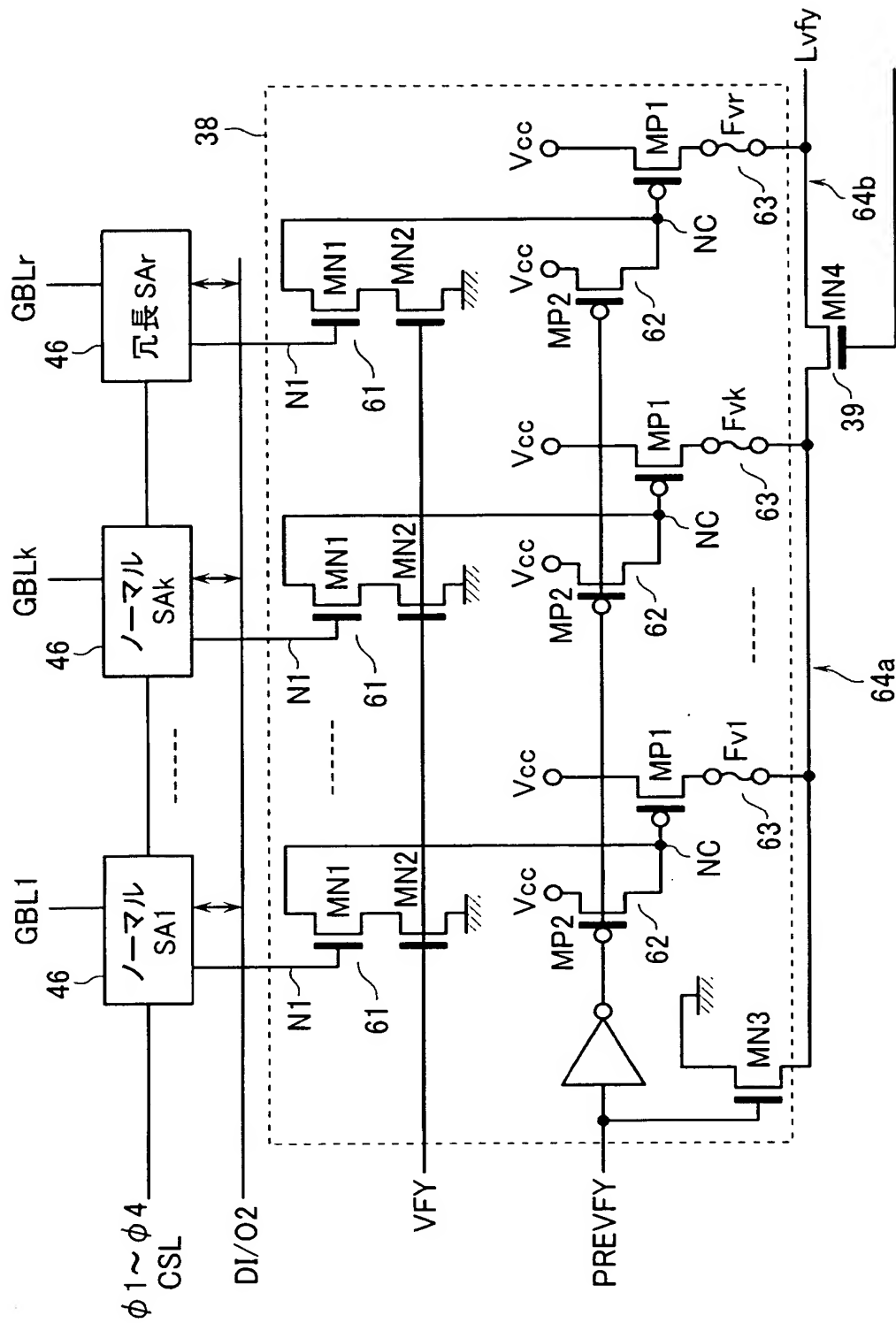
【書類名】 図面
【図 1】



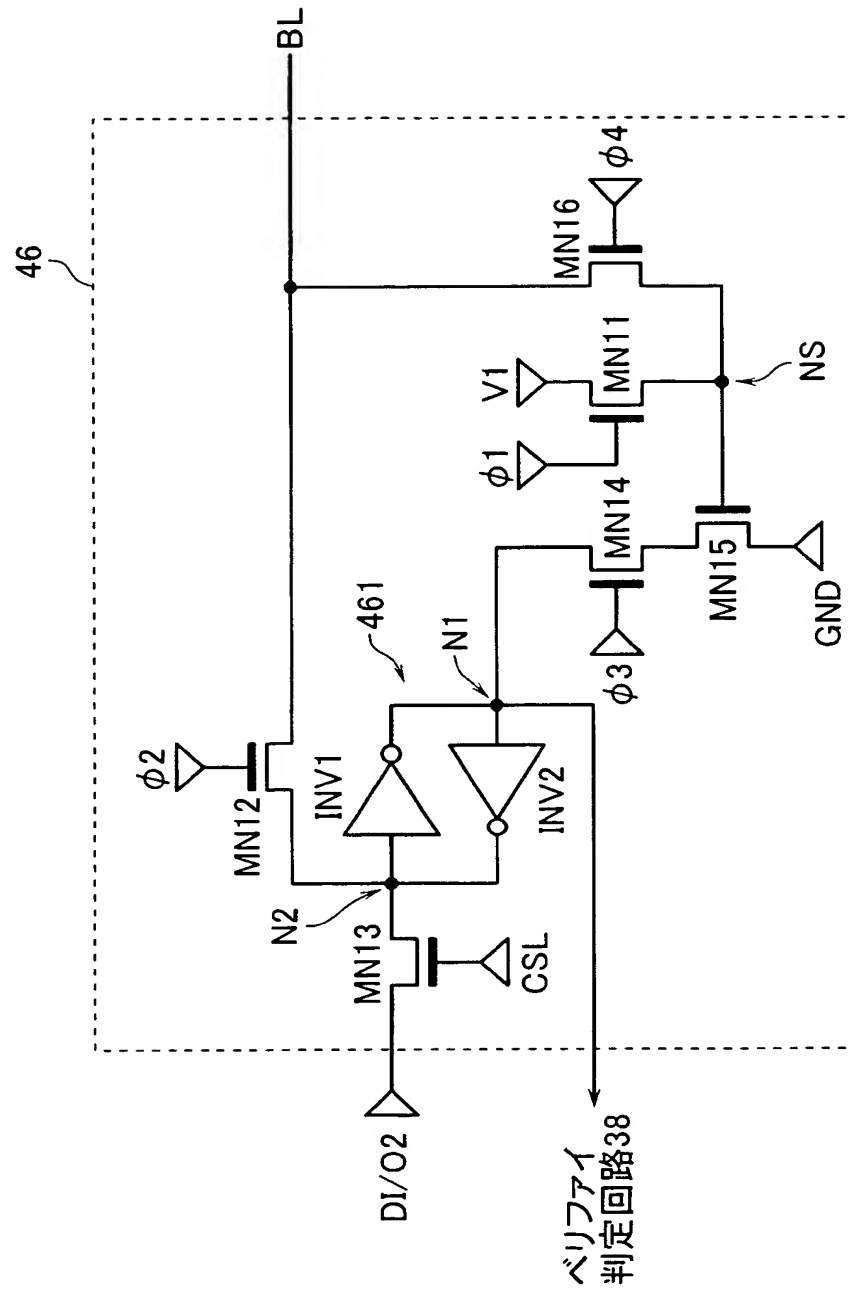
【図 2 A】



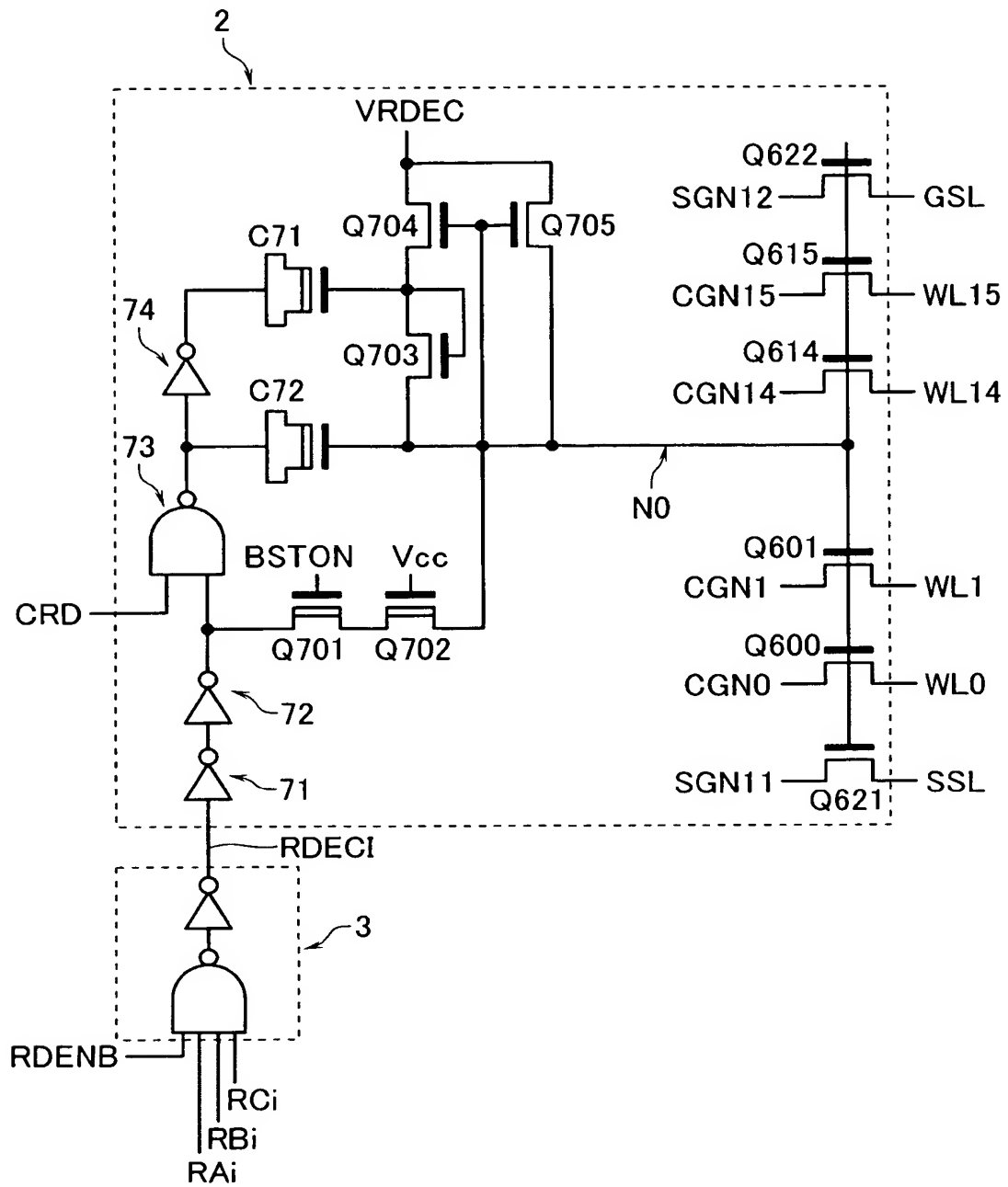
【図 2 B】



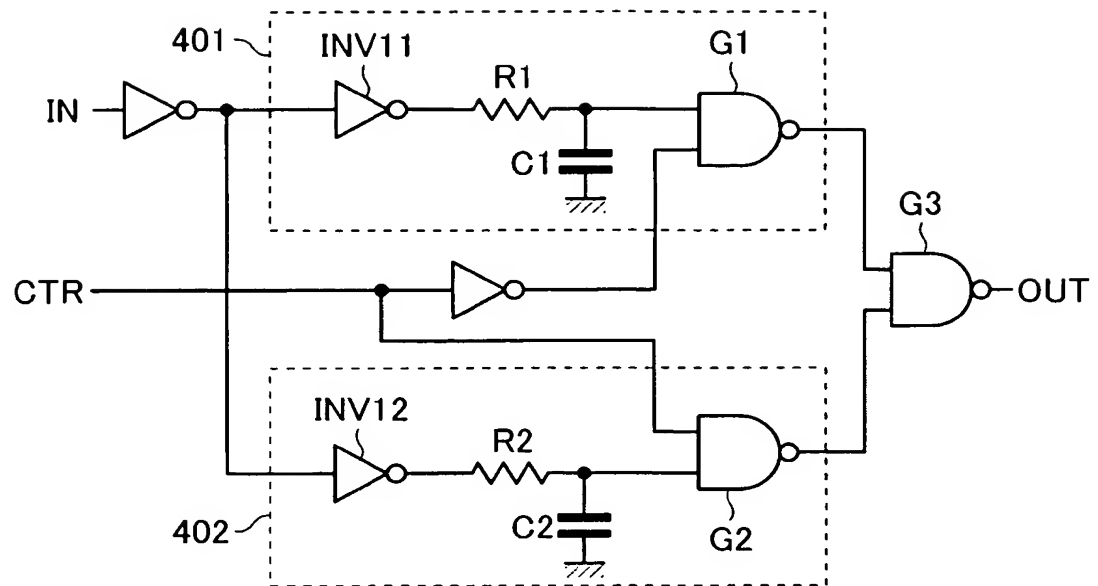
【図 3】



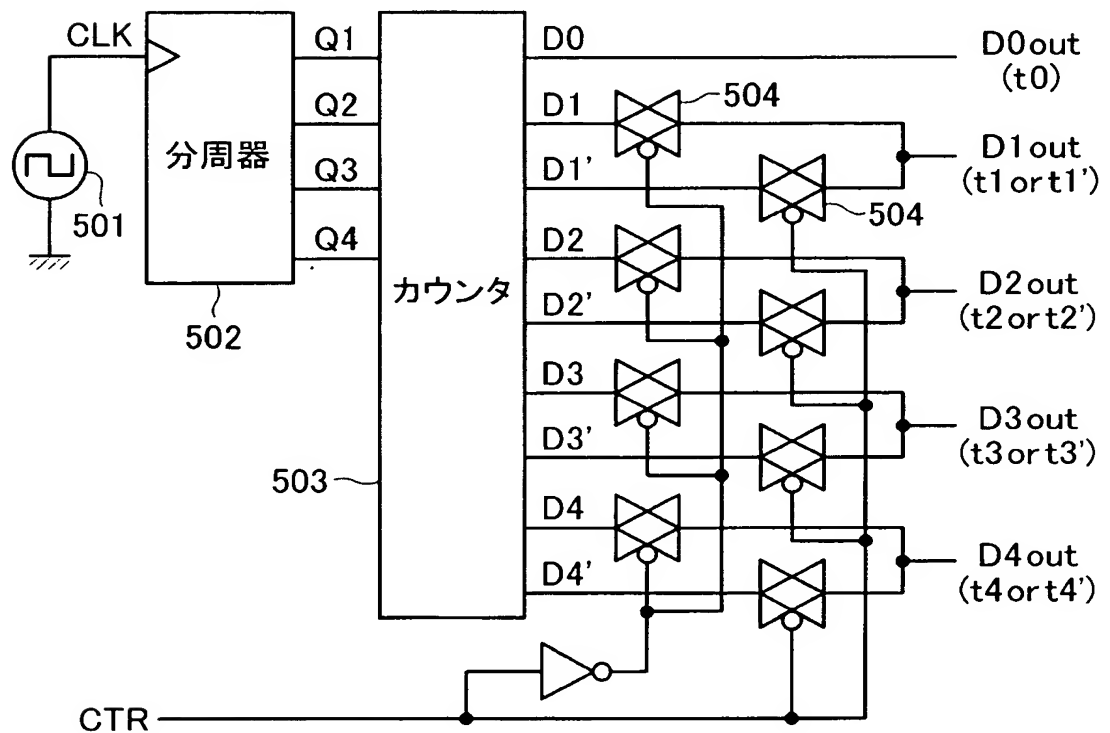
【図 4】



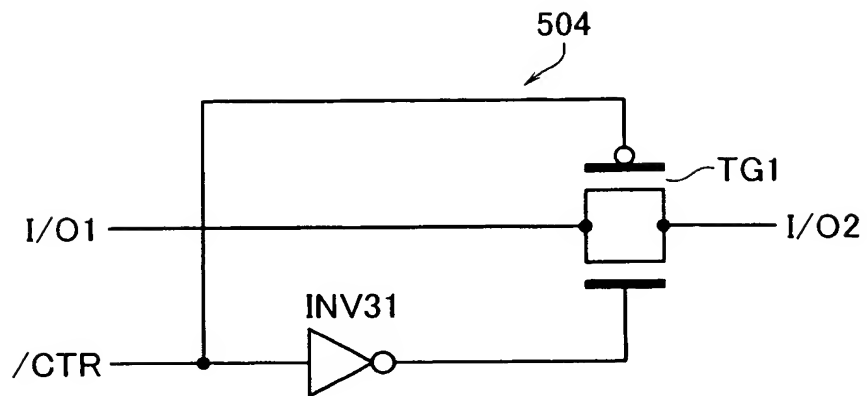
【図 5】



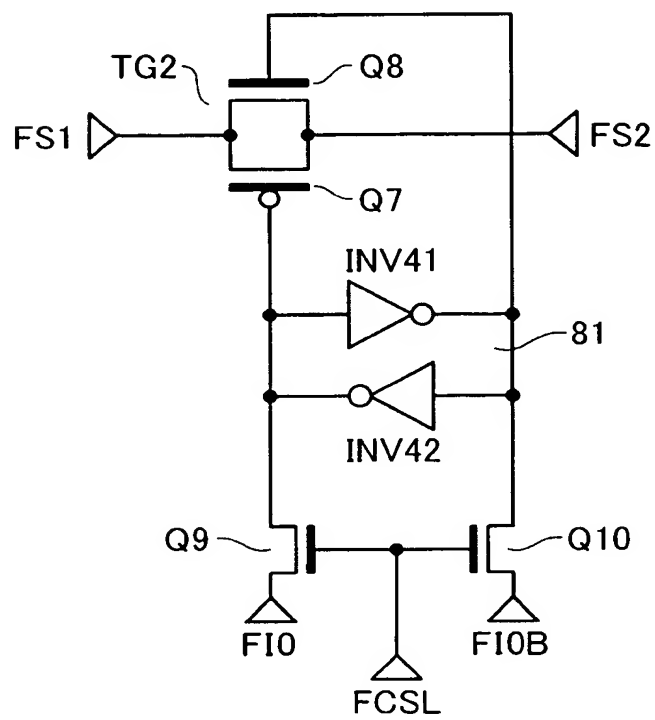
【図 6】



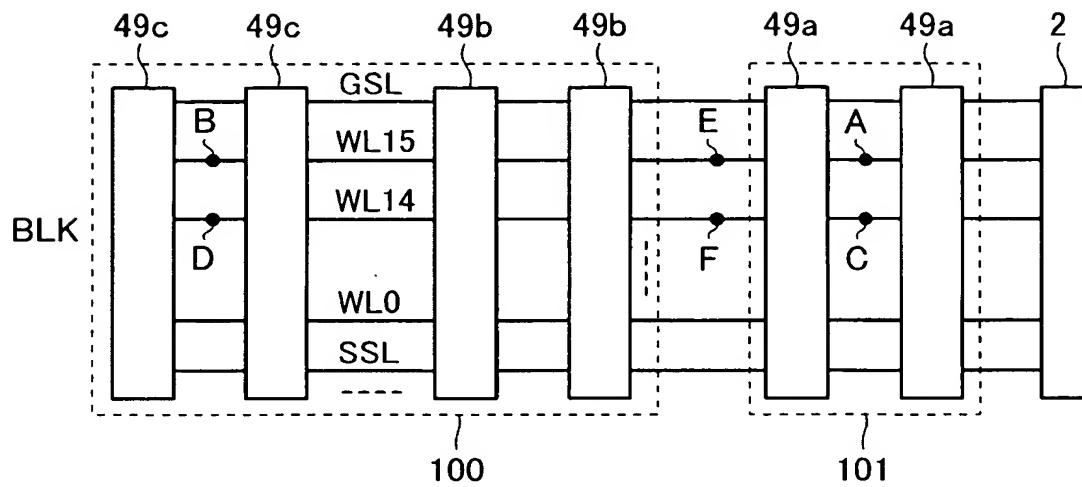
【図 7】



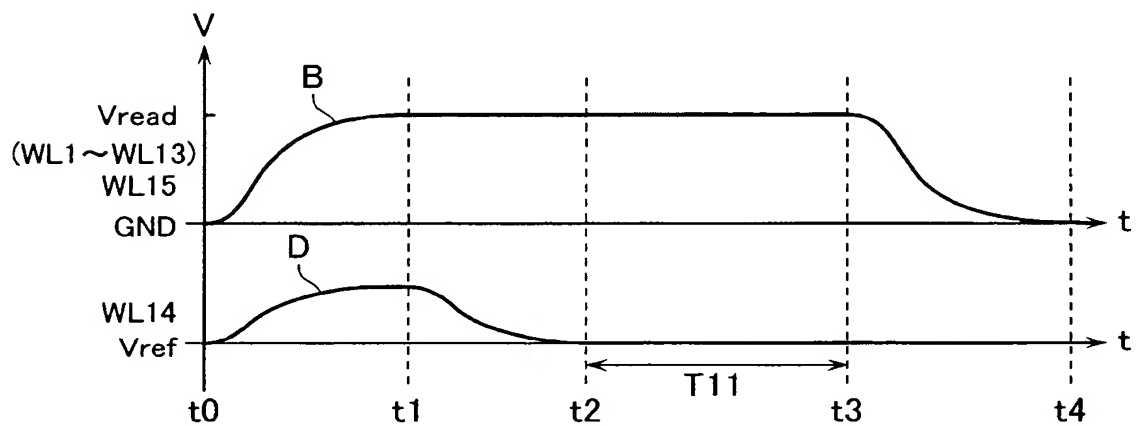
【図 8】



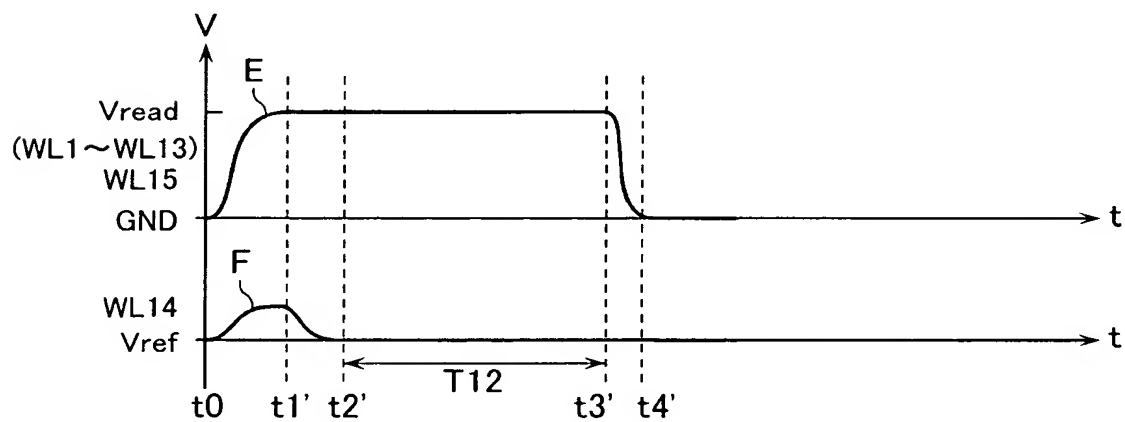
【図 9】



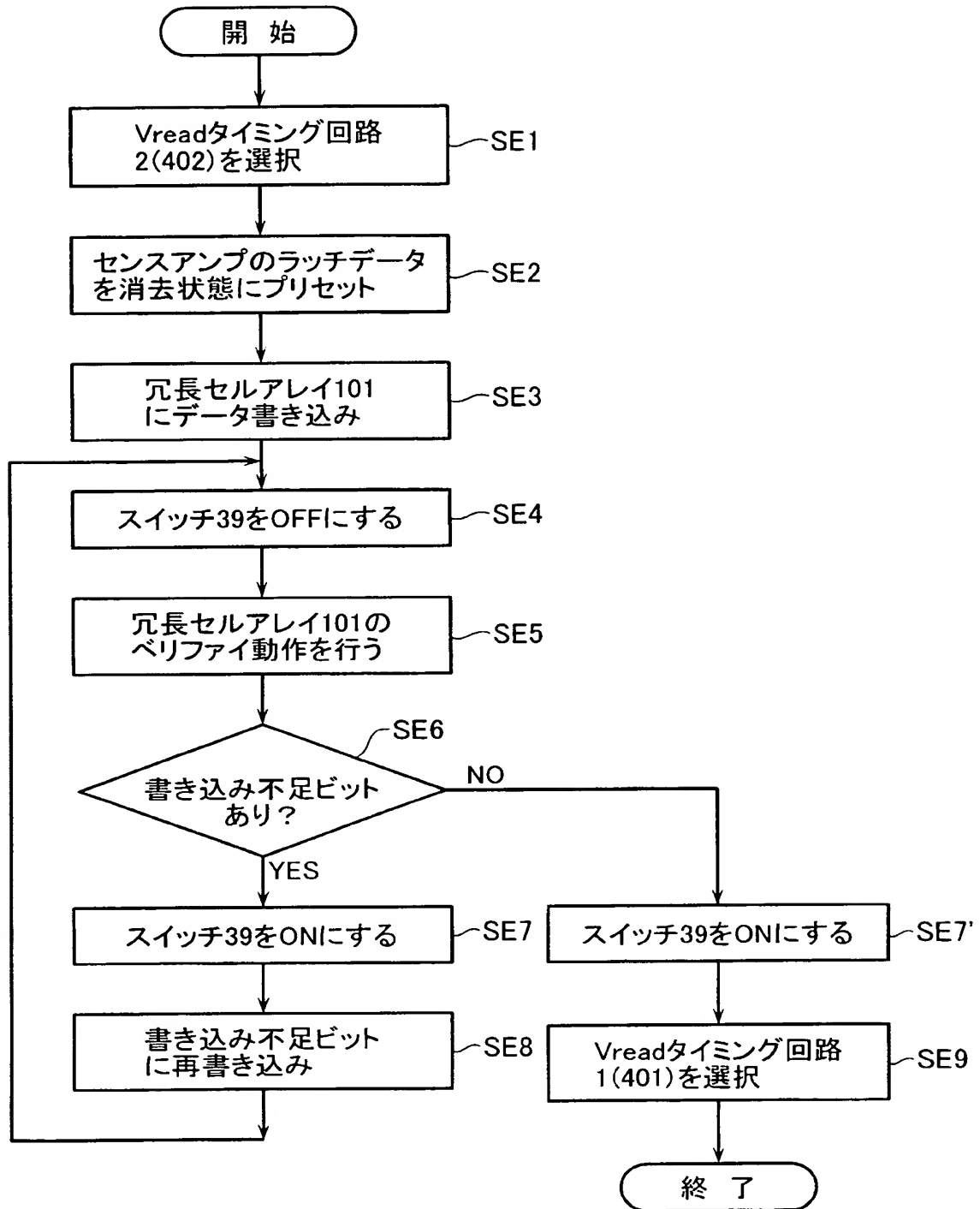
【図 10】



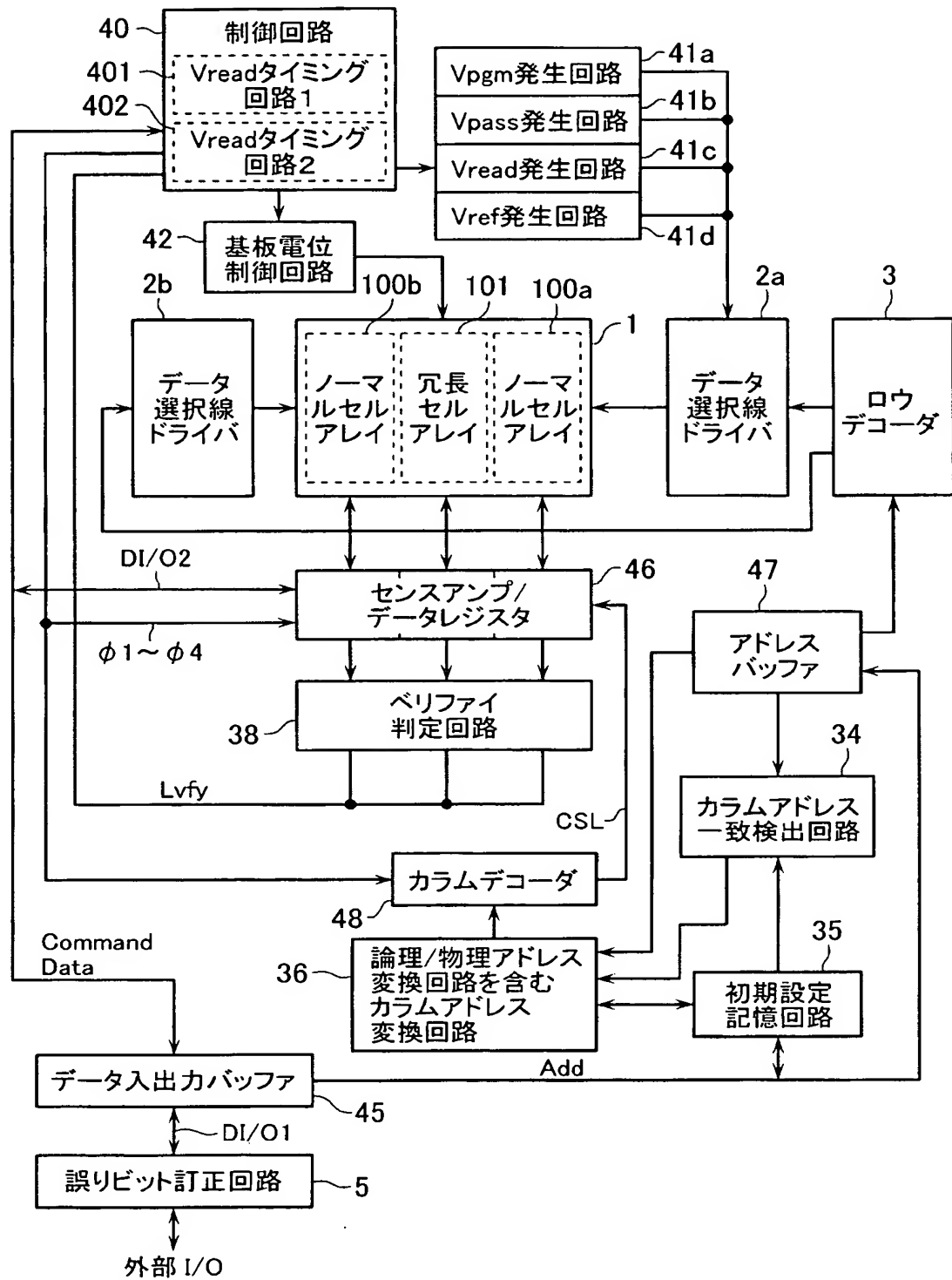
【図 11】



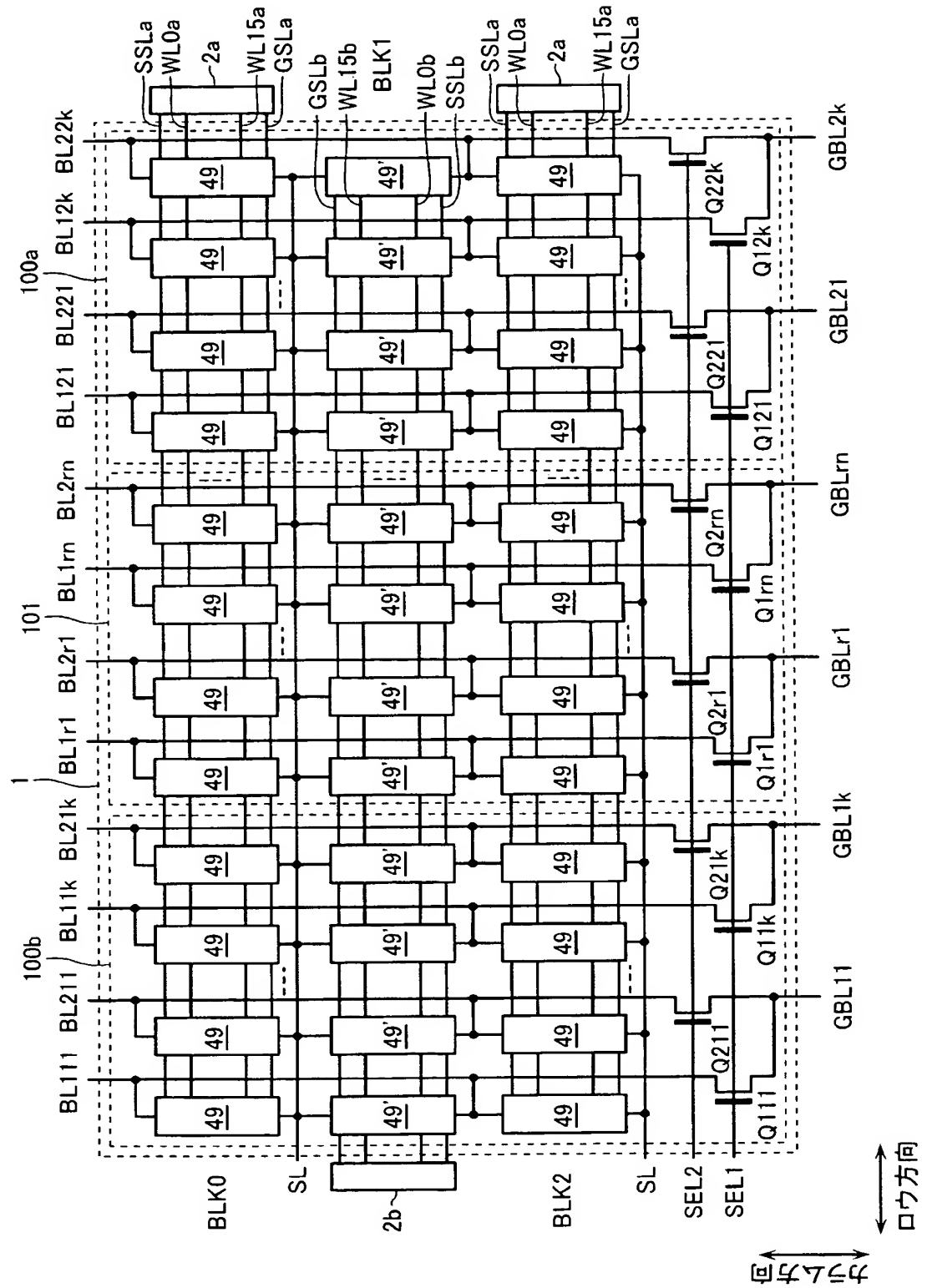
【図 12】



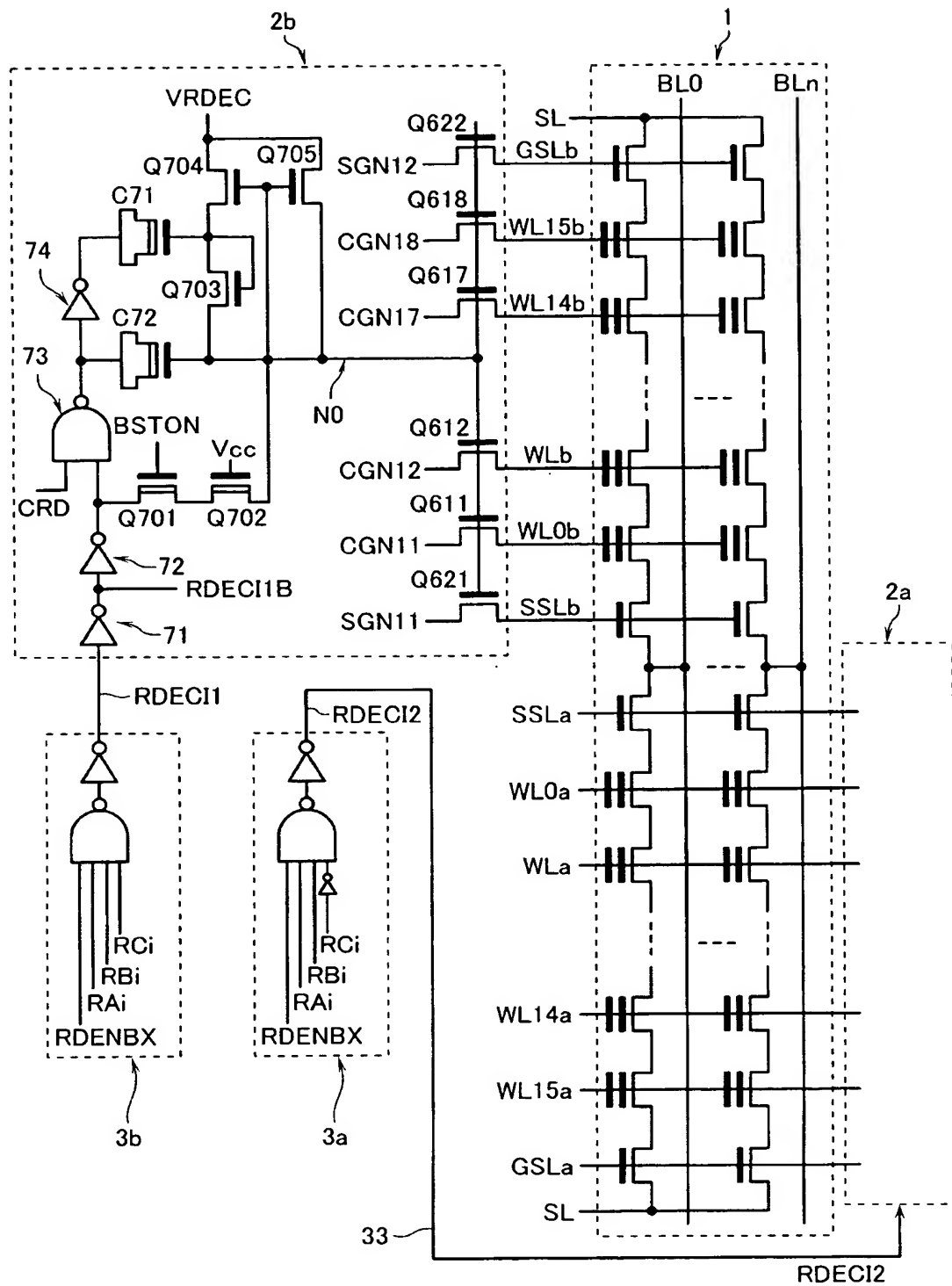
【图 13】



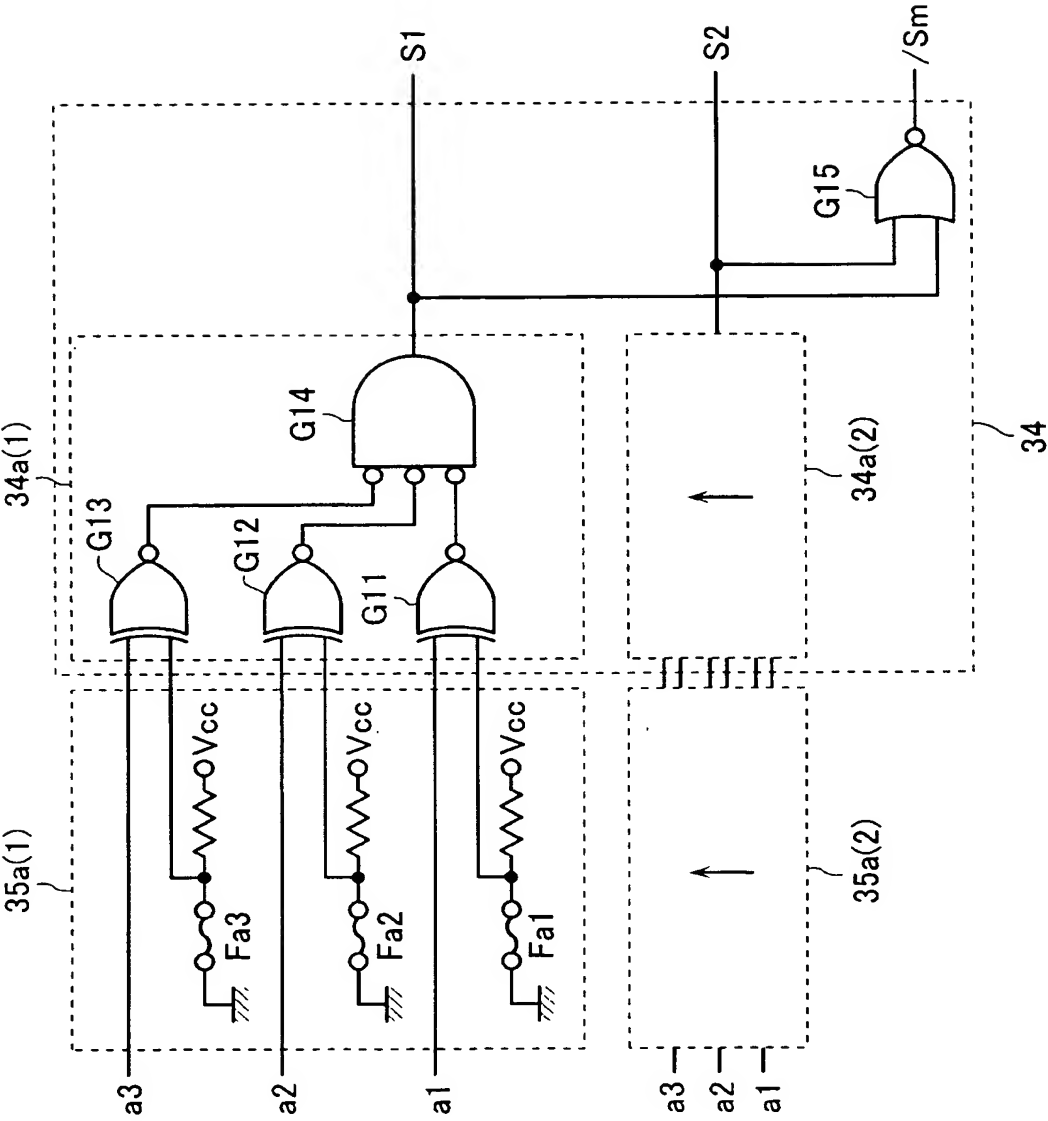
【図 14 A】



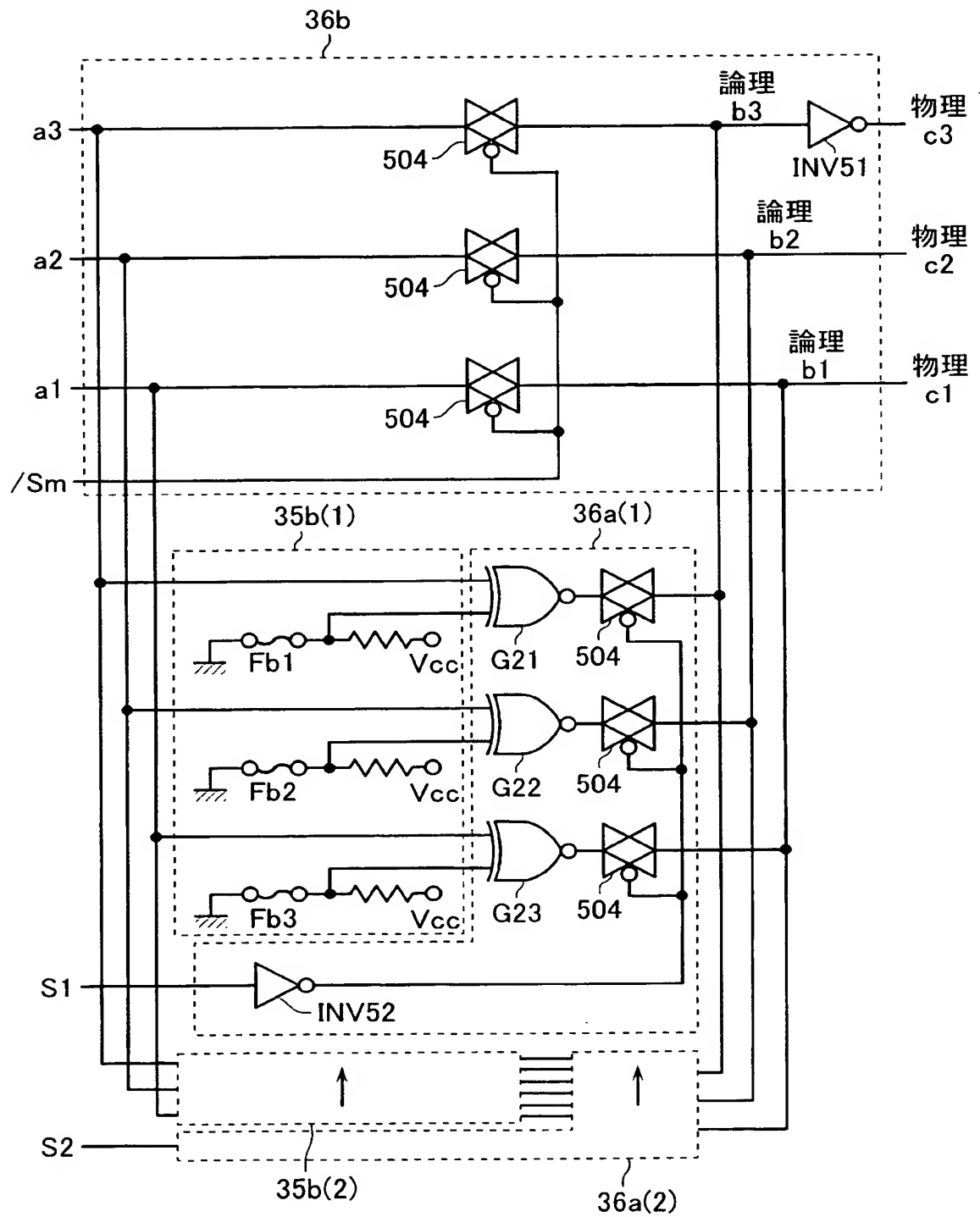
【図 15】



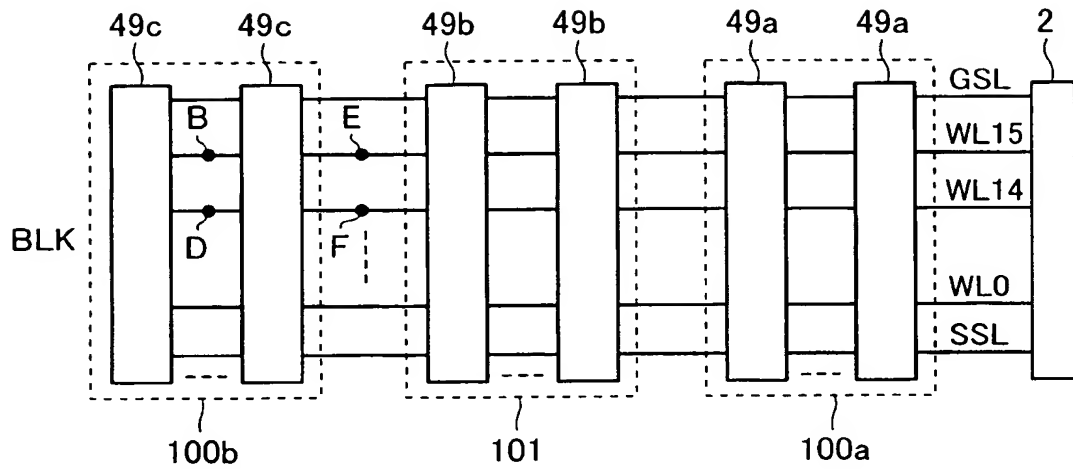
【図 16】



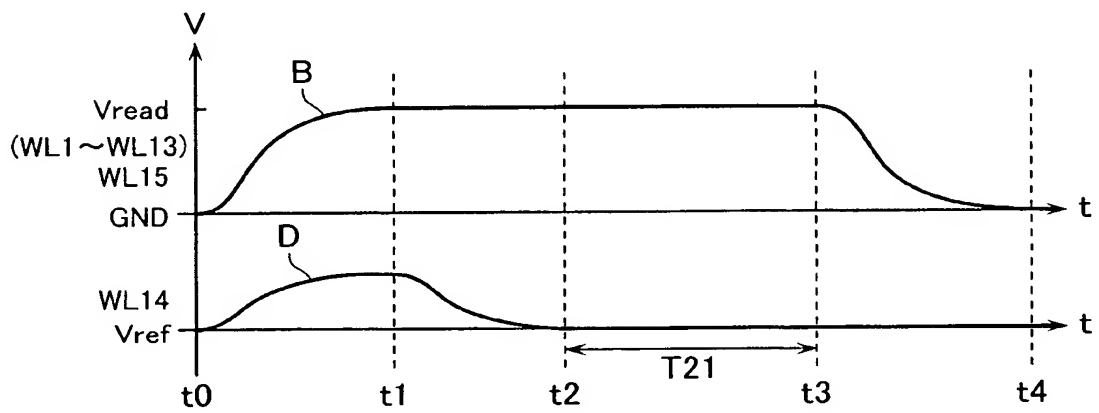
【図 17】



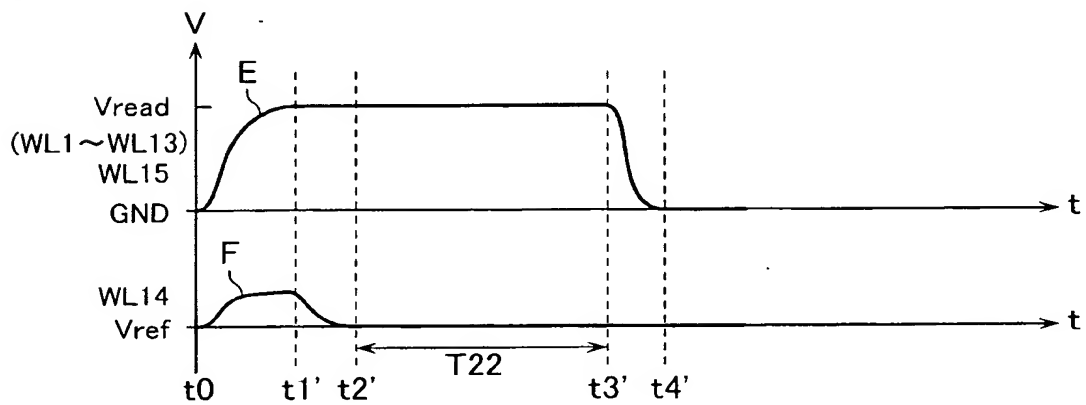
【図 18】



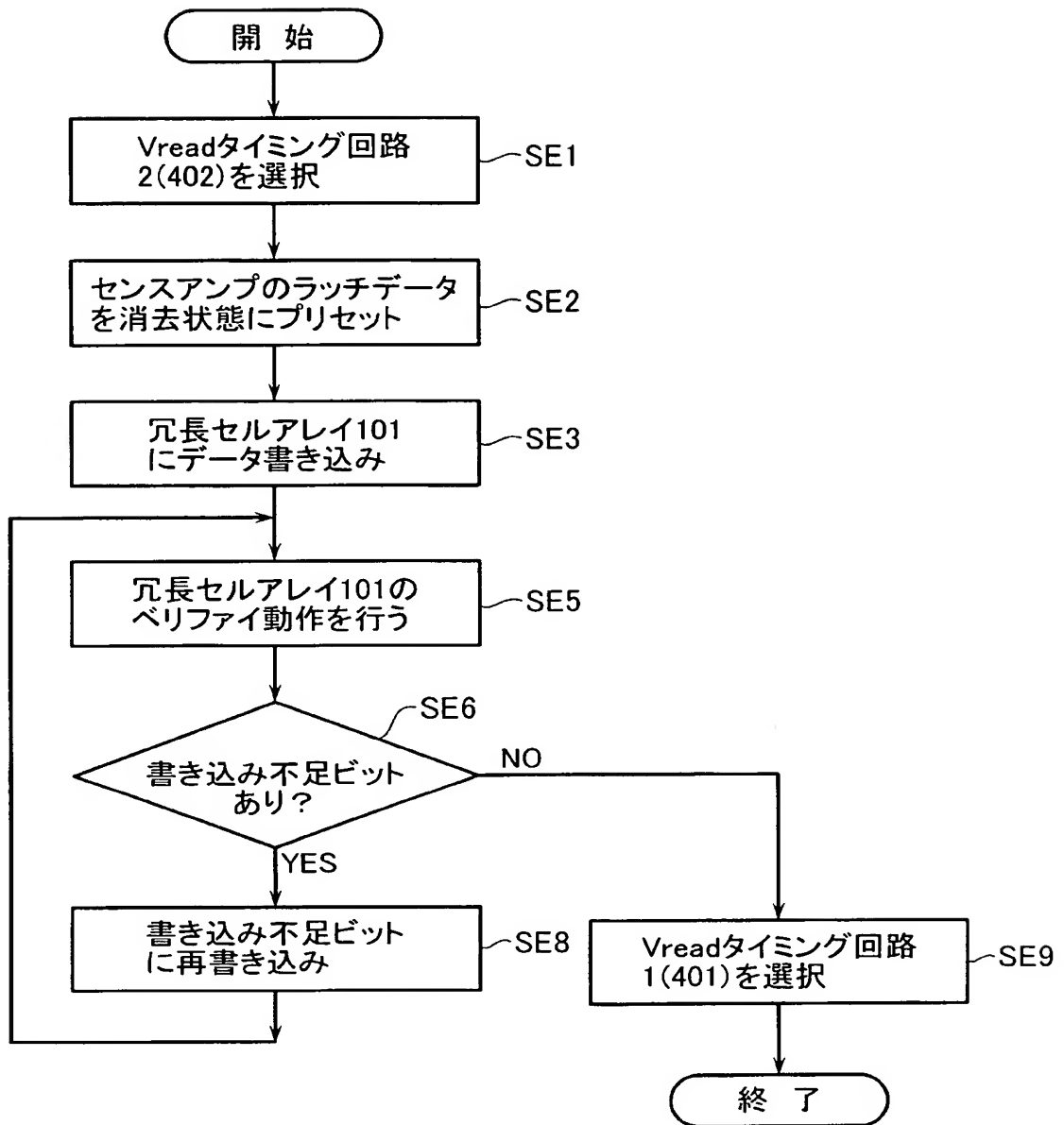
【図 19】



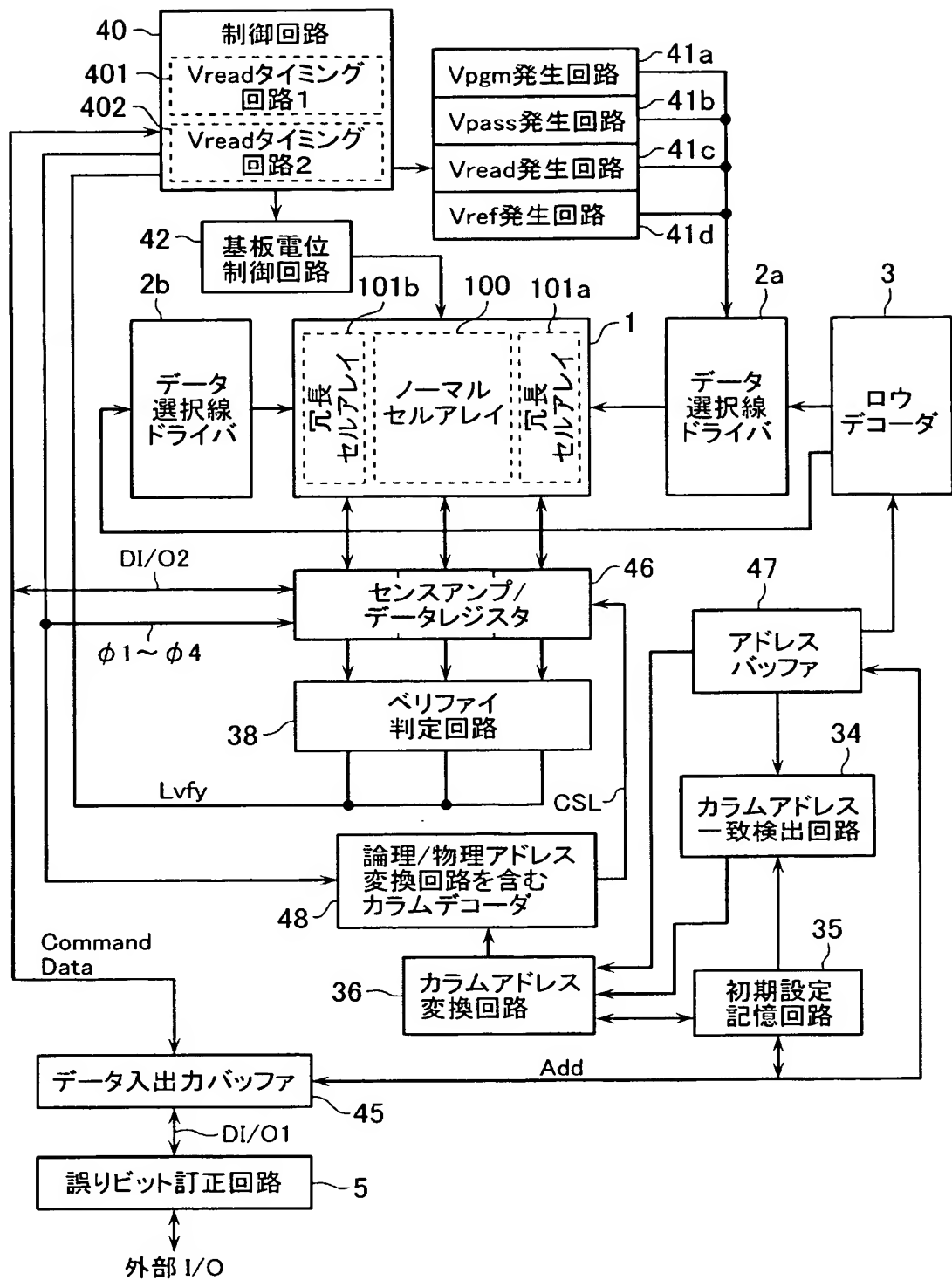
【図 20】



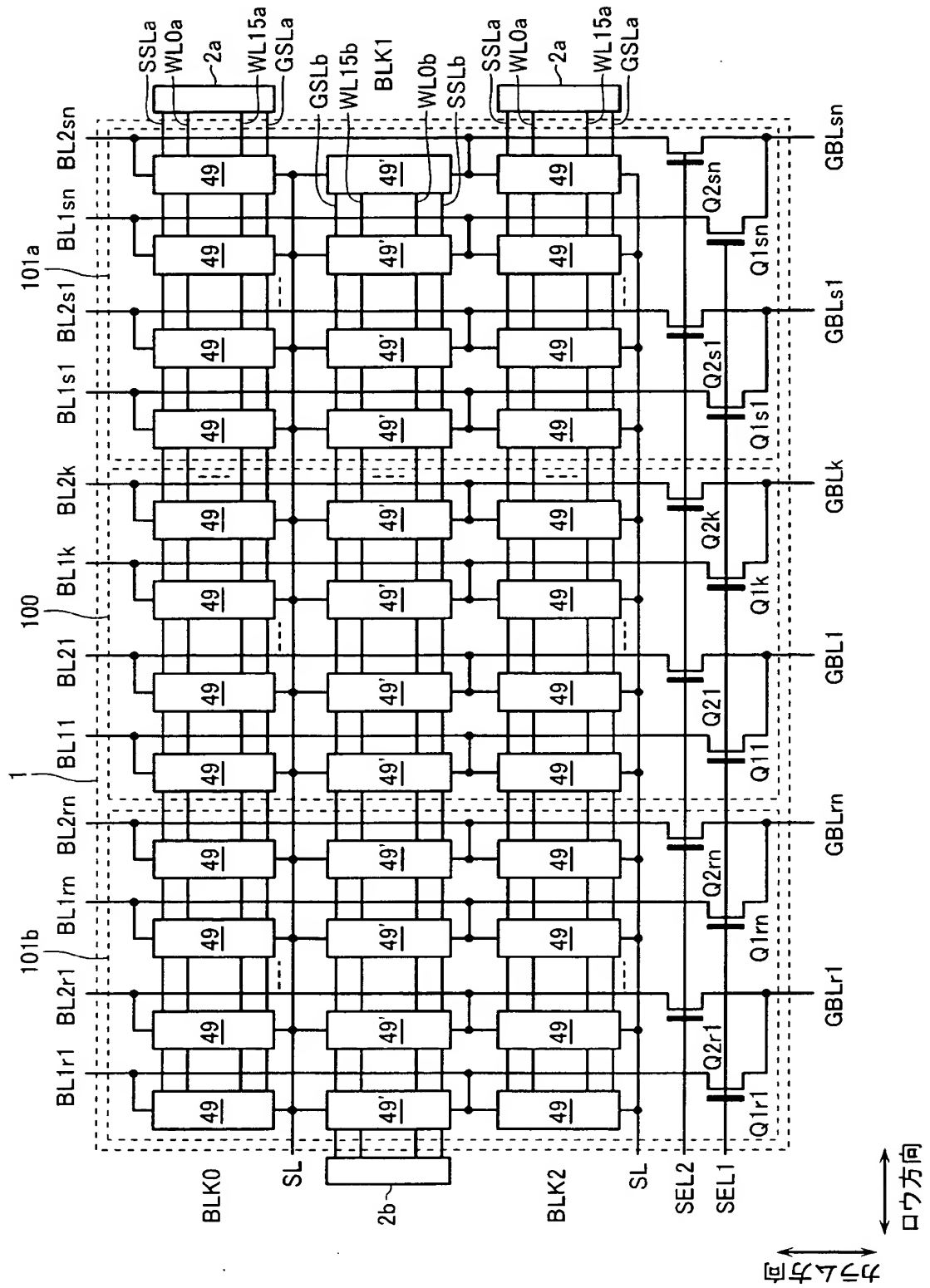
【図 21】



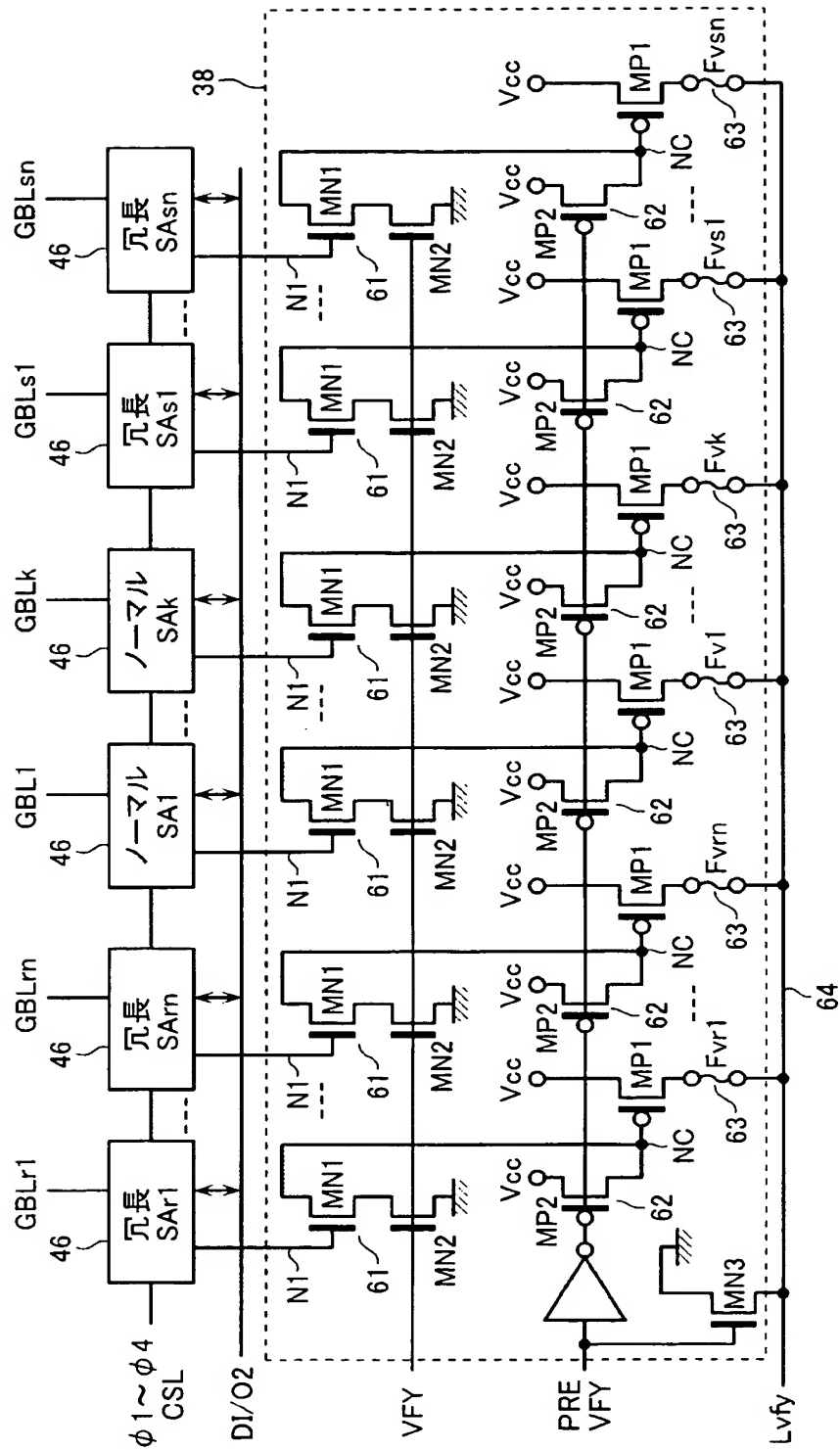
【図 22】



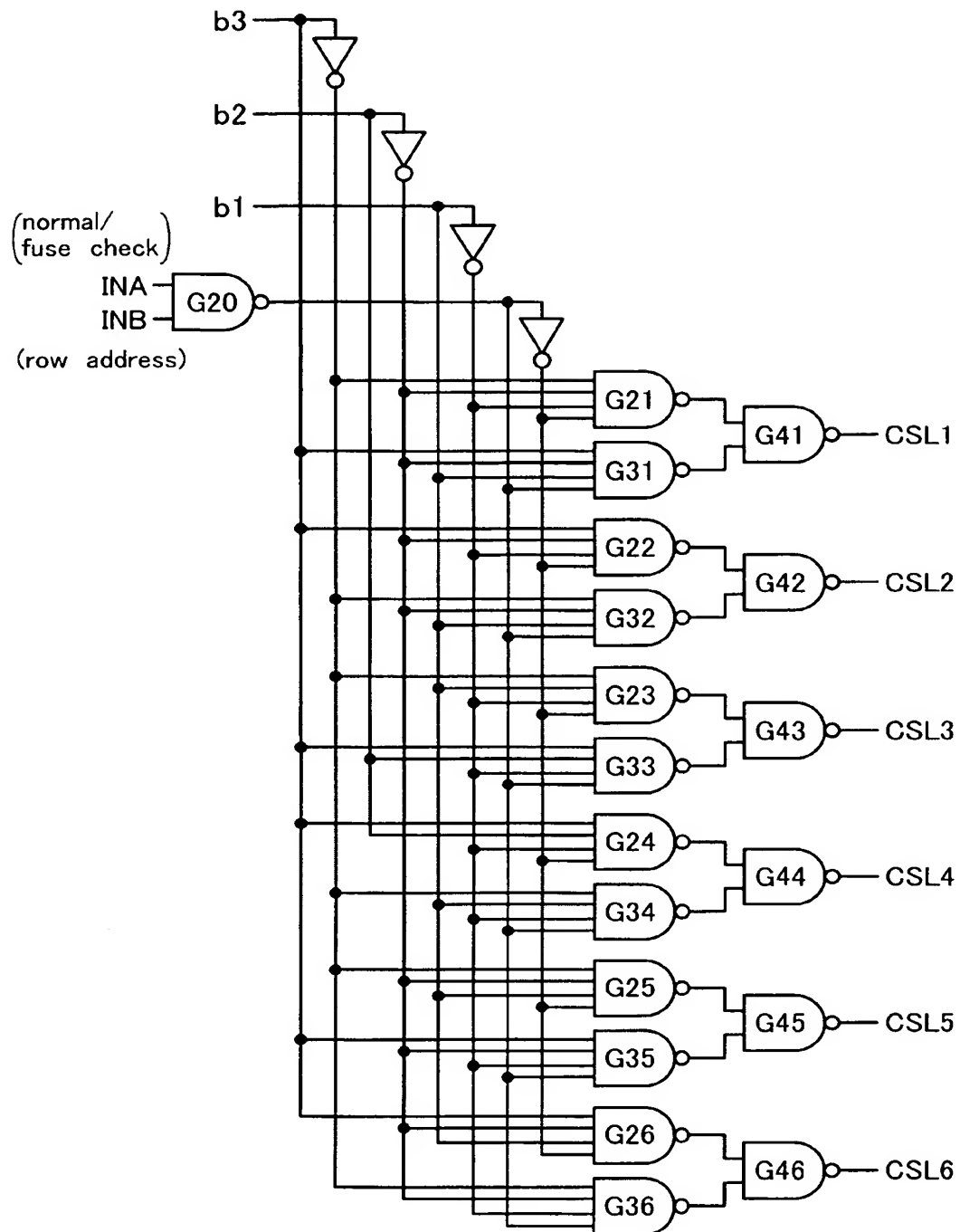
【図 23 A】



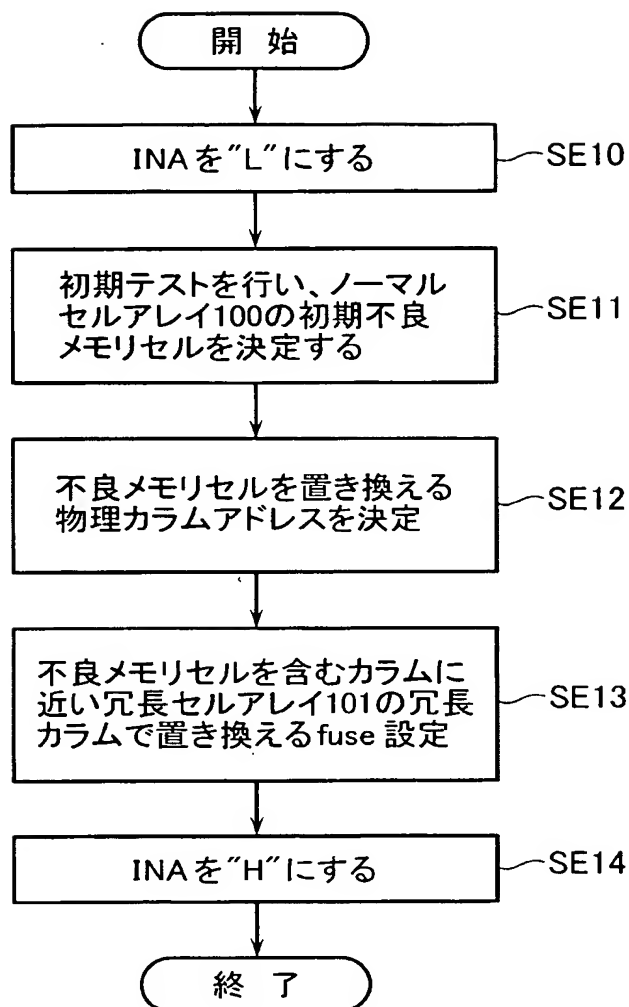
【図 23 B】



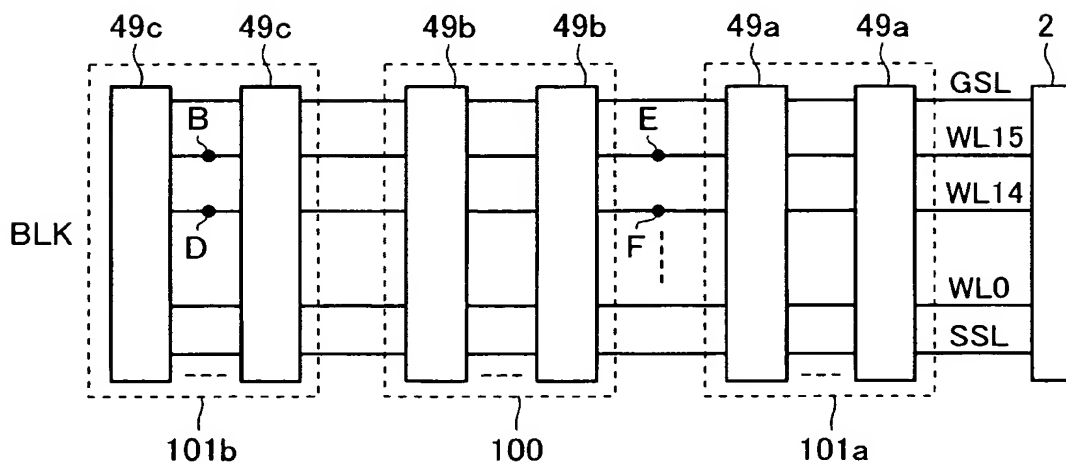
【図 24】



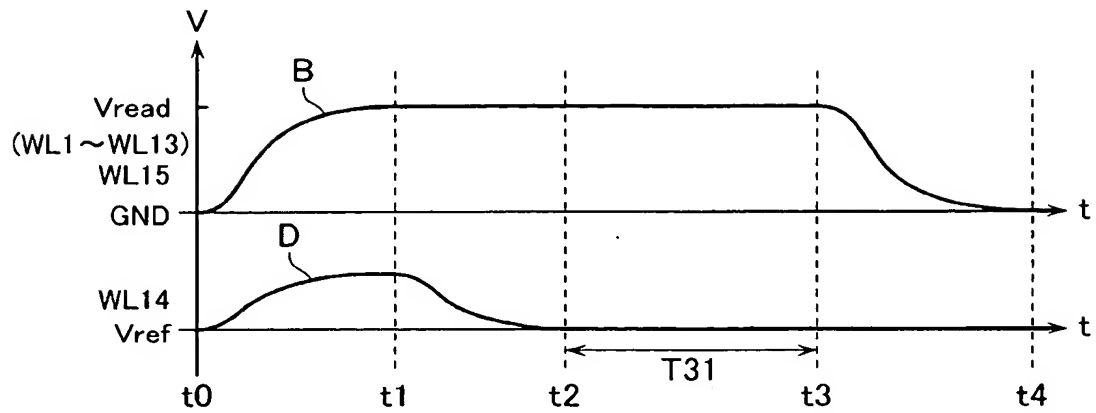
【図 25】



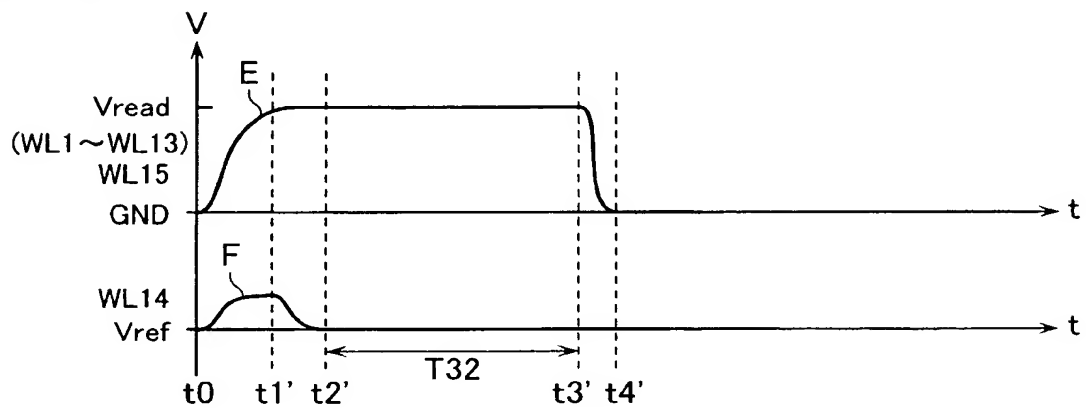
【図 26】



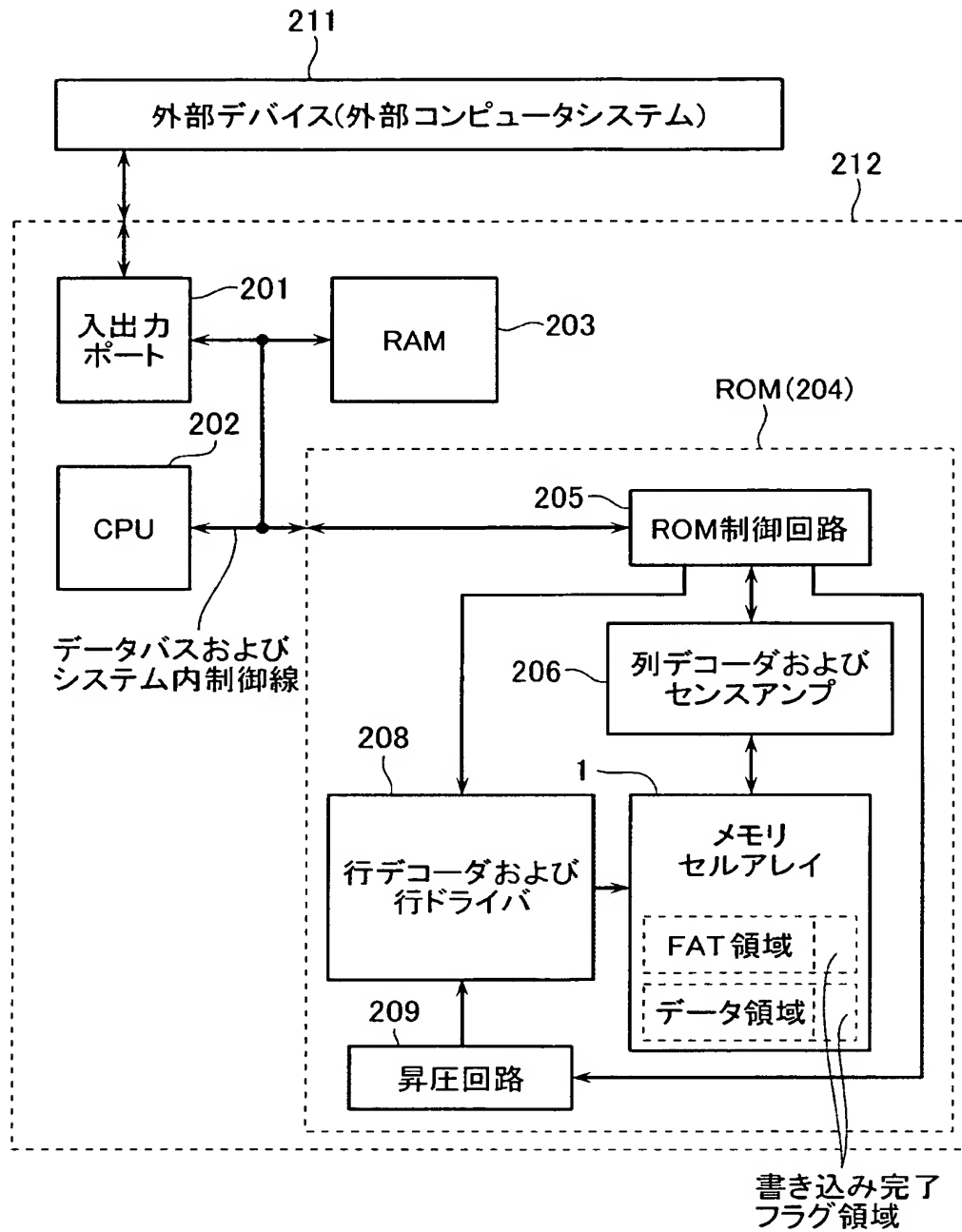
【図 27】



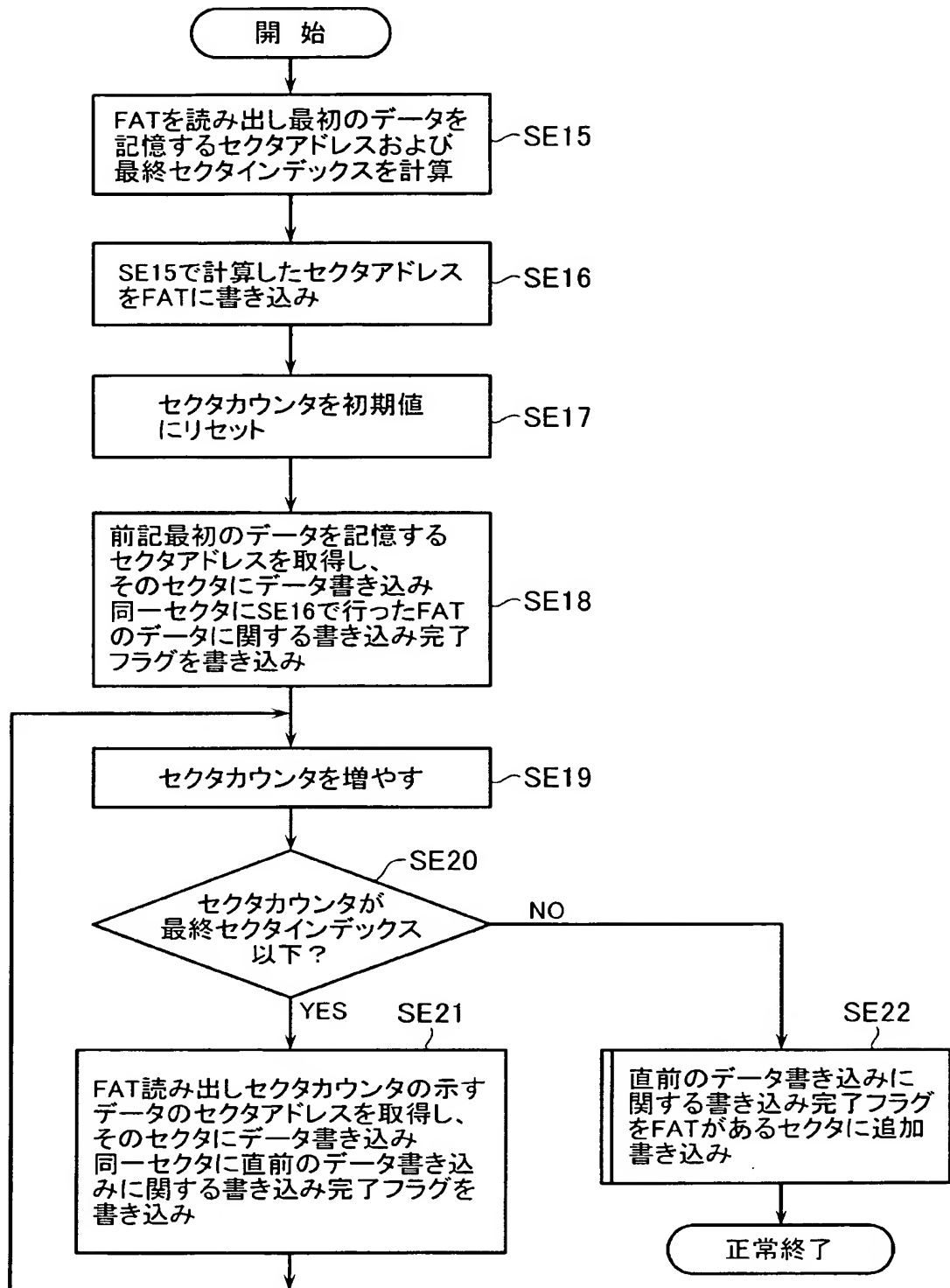
【図 28】



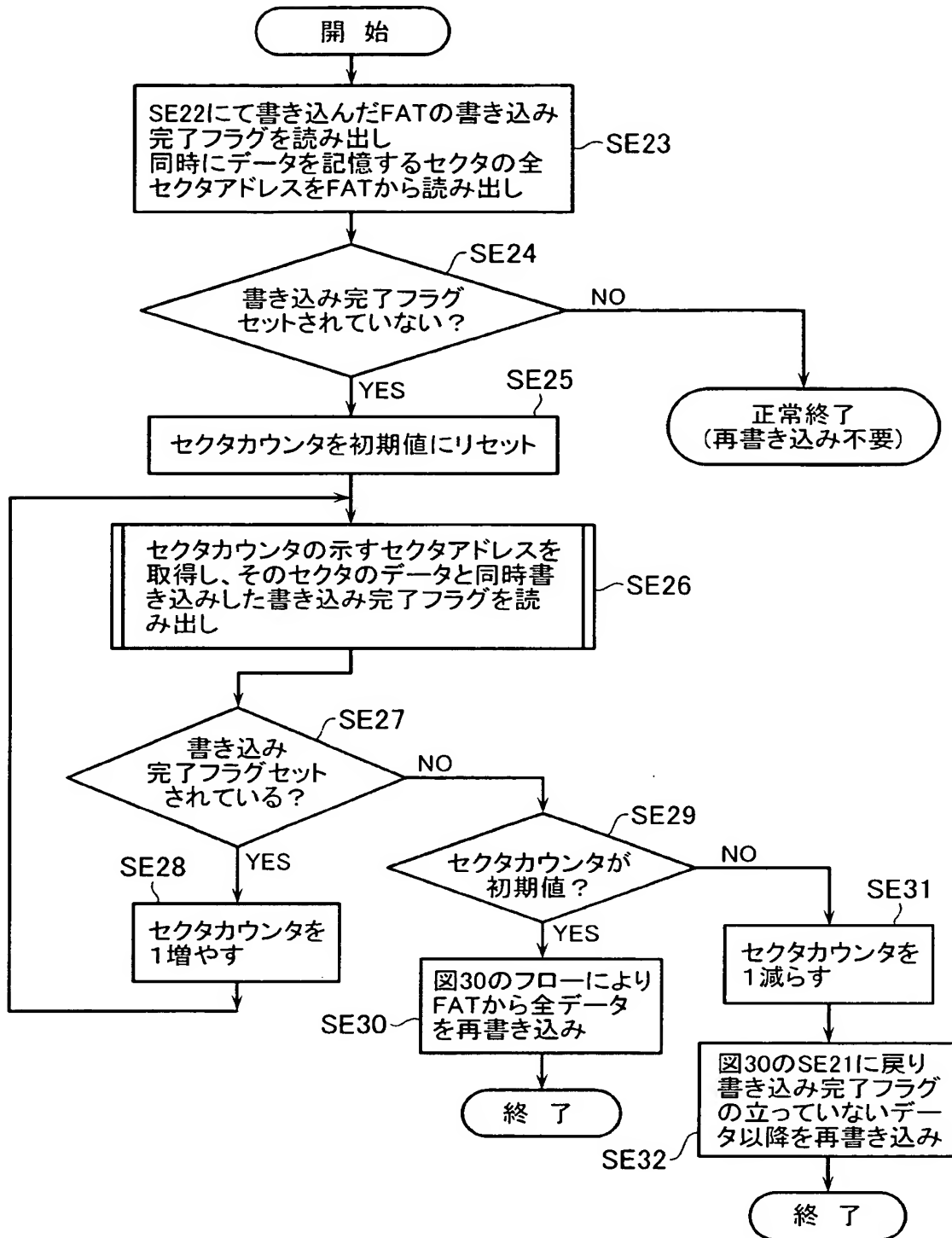
【図 29】



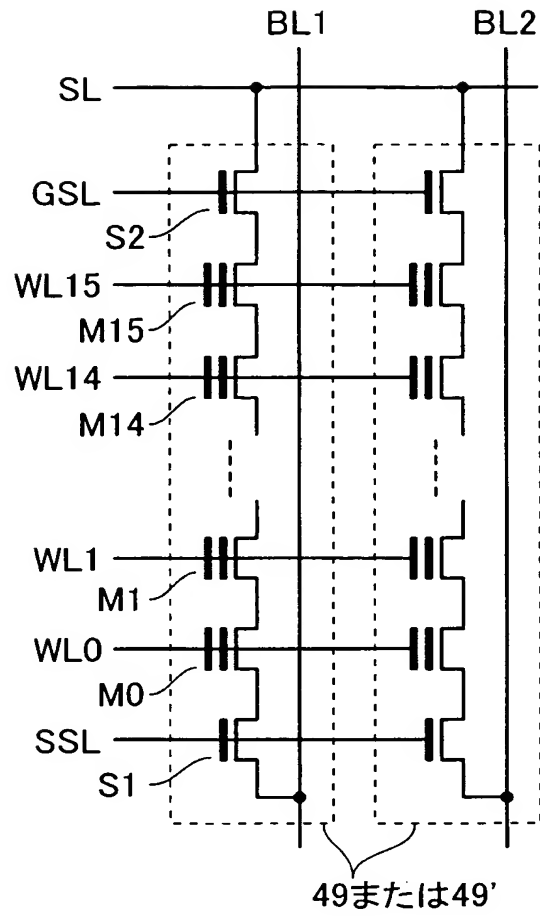
【図 30】



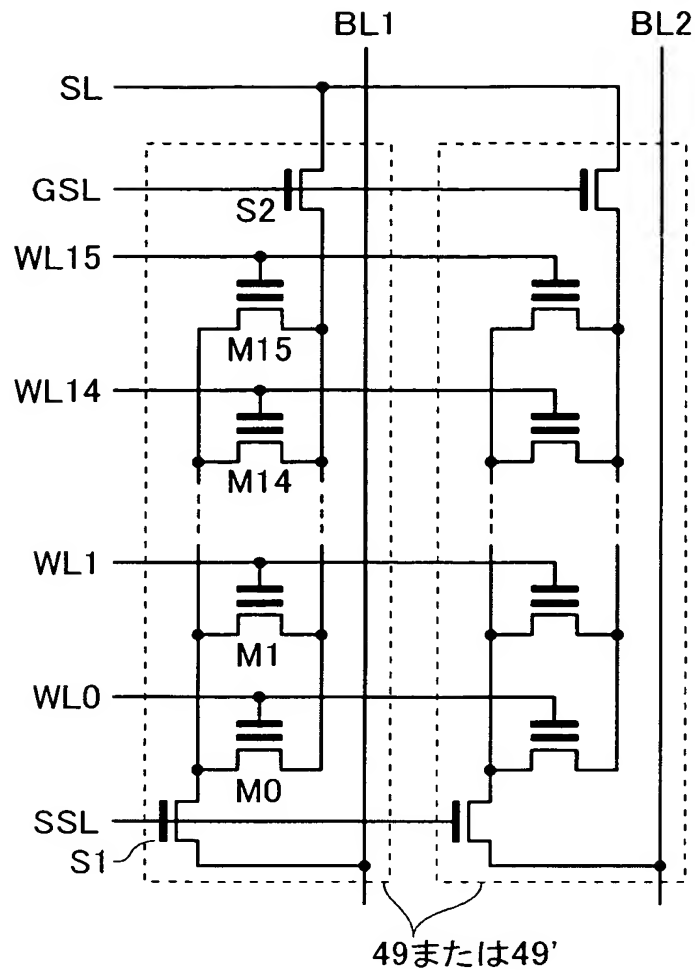
【図 31】



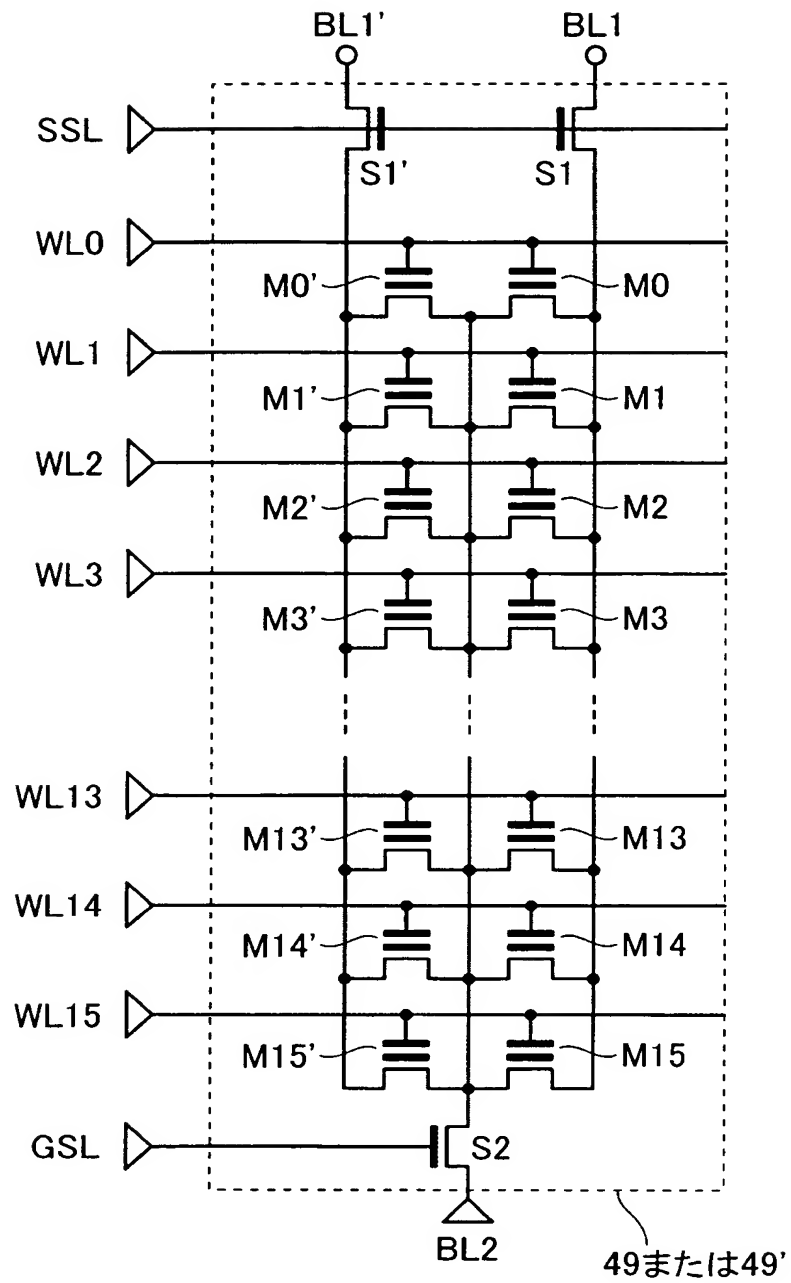
【図 32】



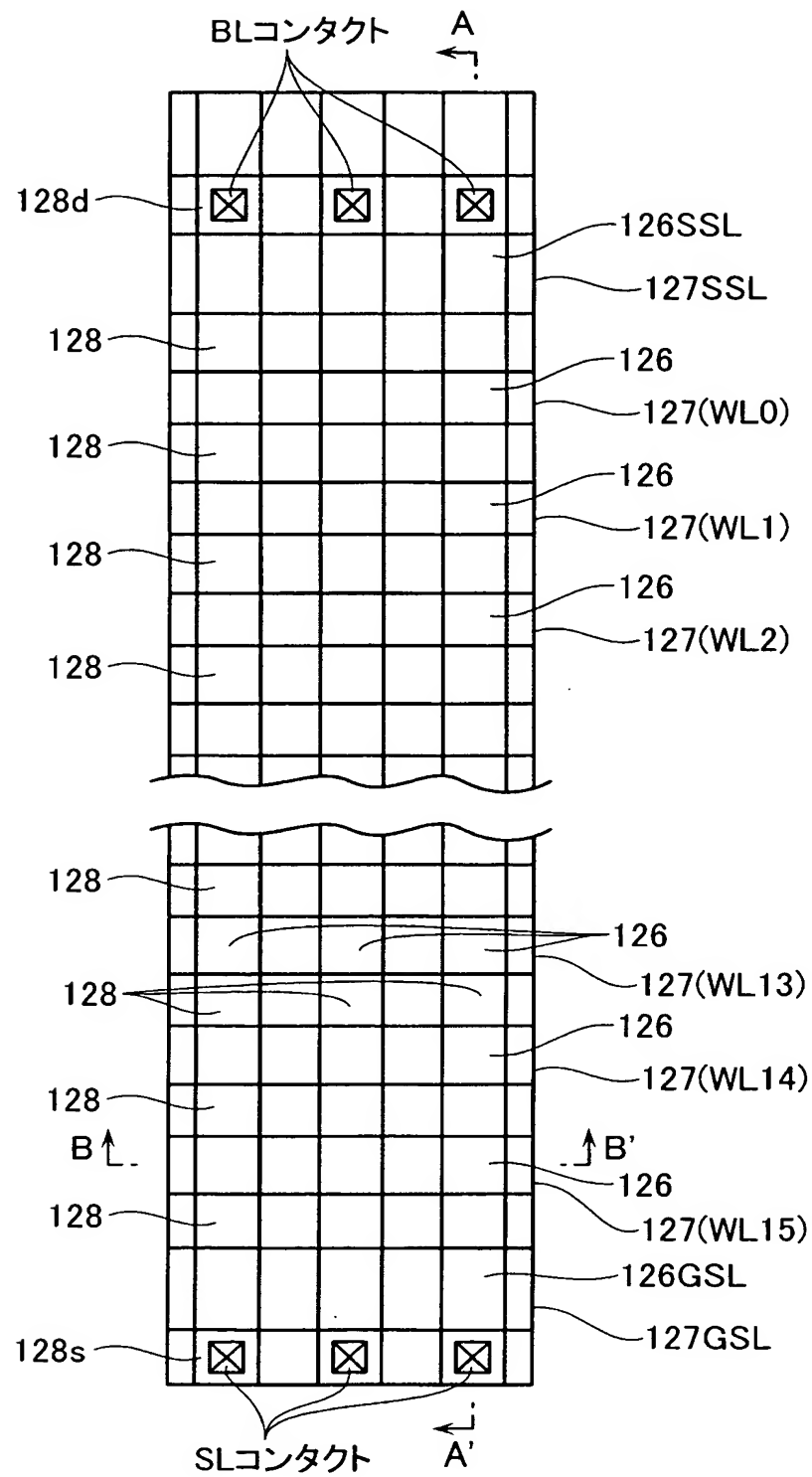
【図 33】



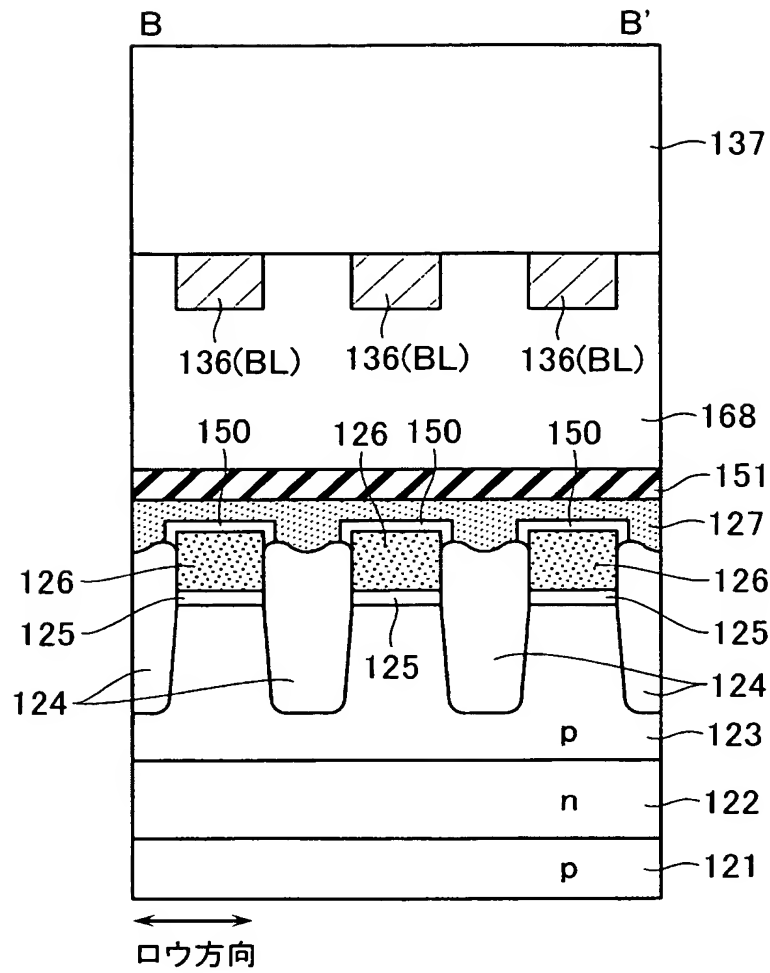
【図 34】



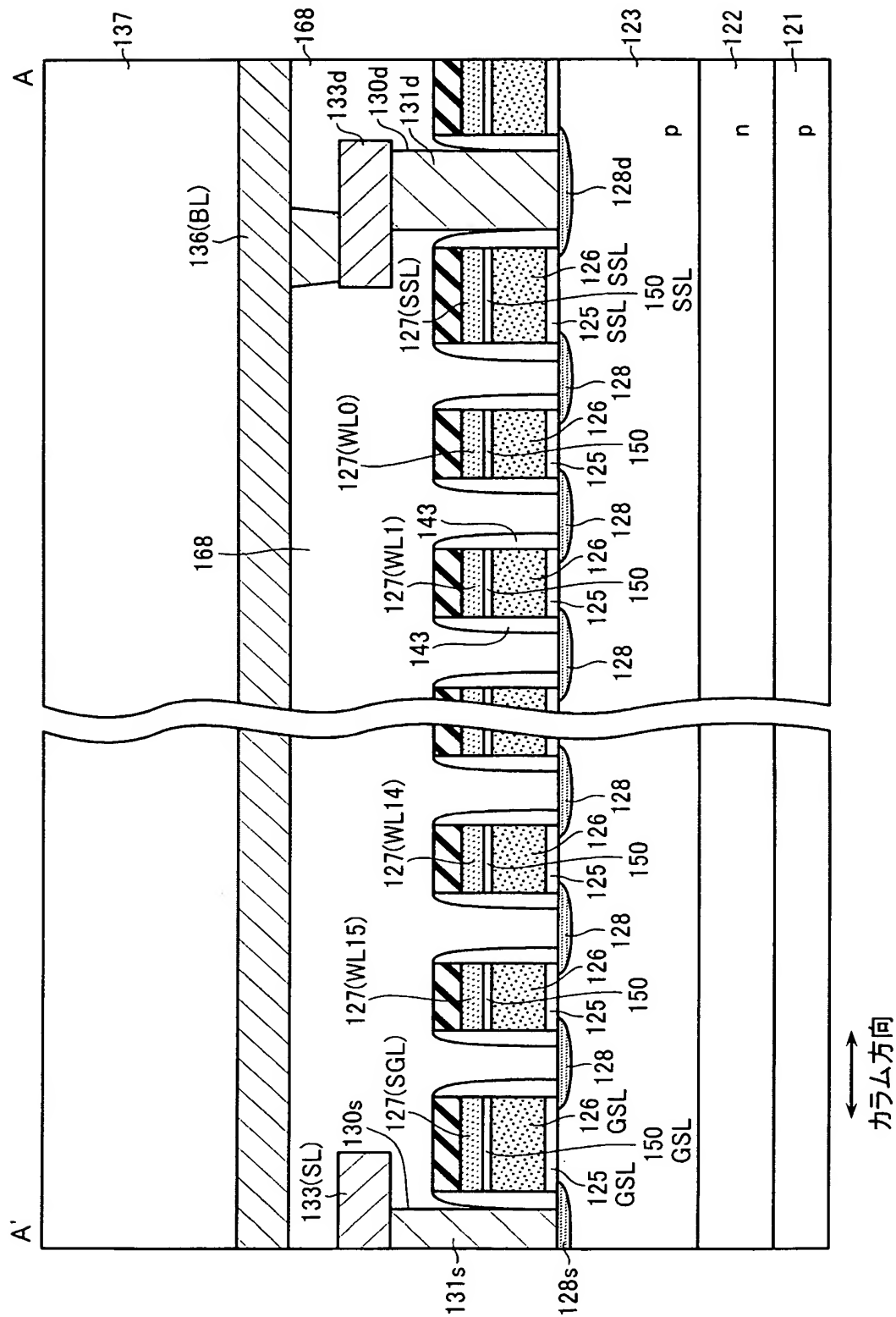
【図 3 5】



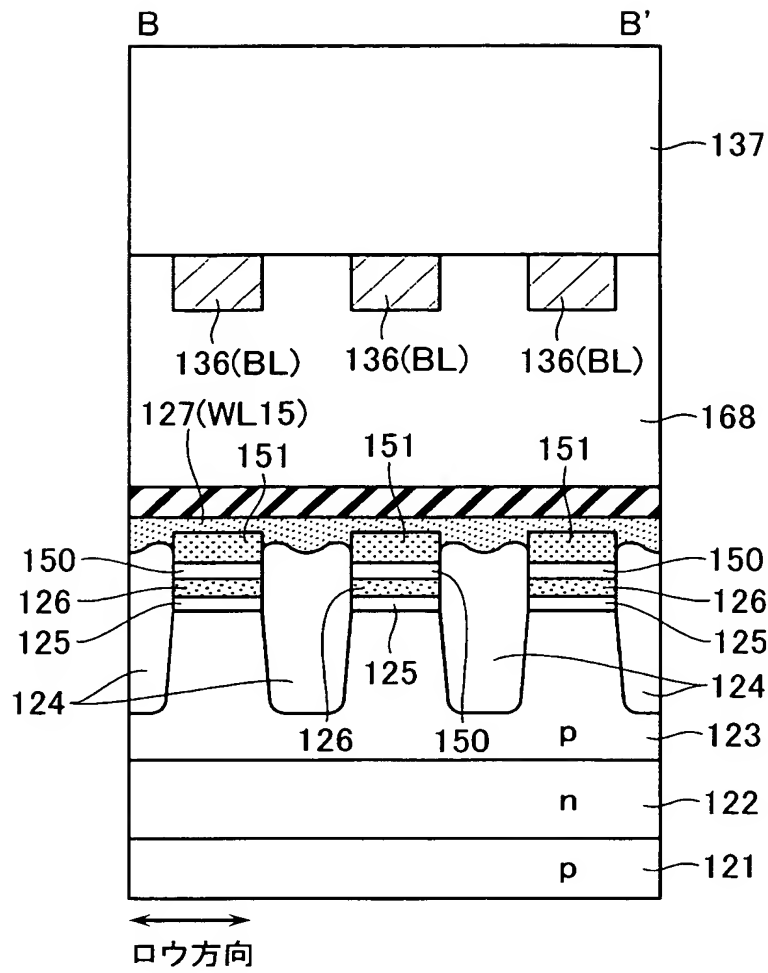
【図 36】



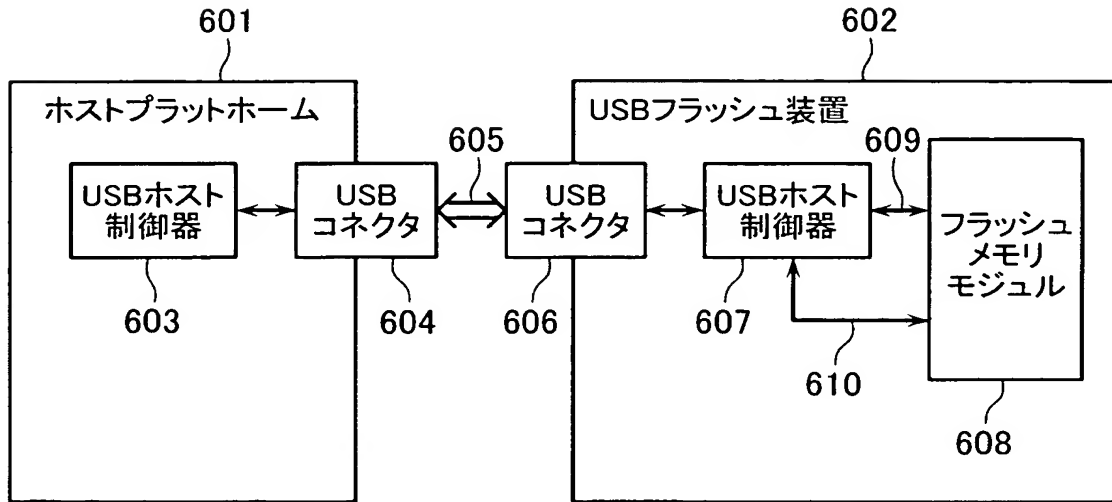
【図 37】



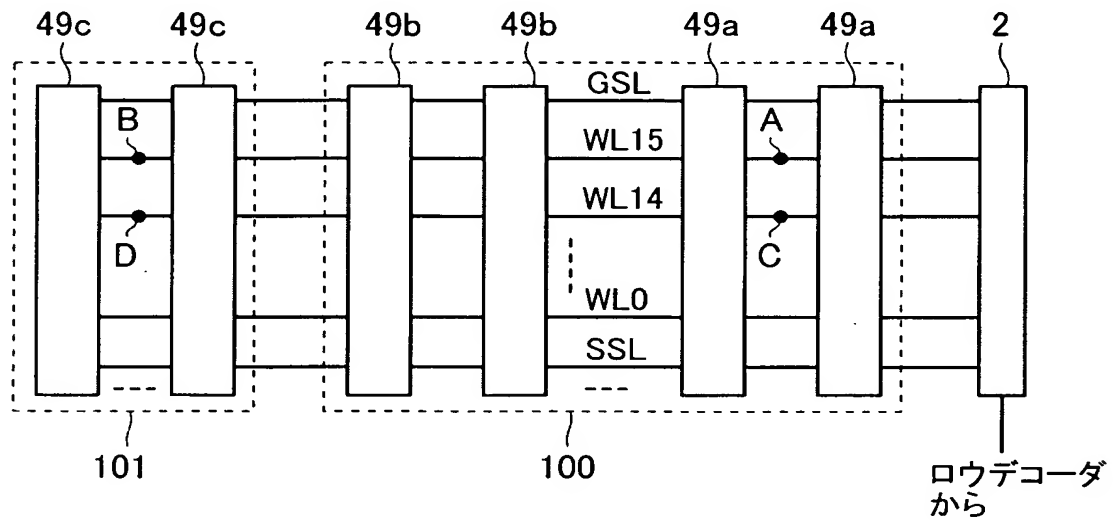
【図 38】



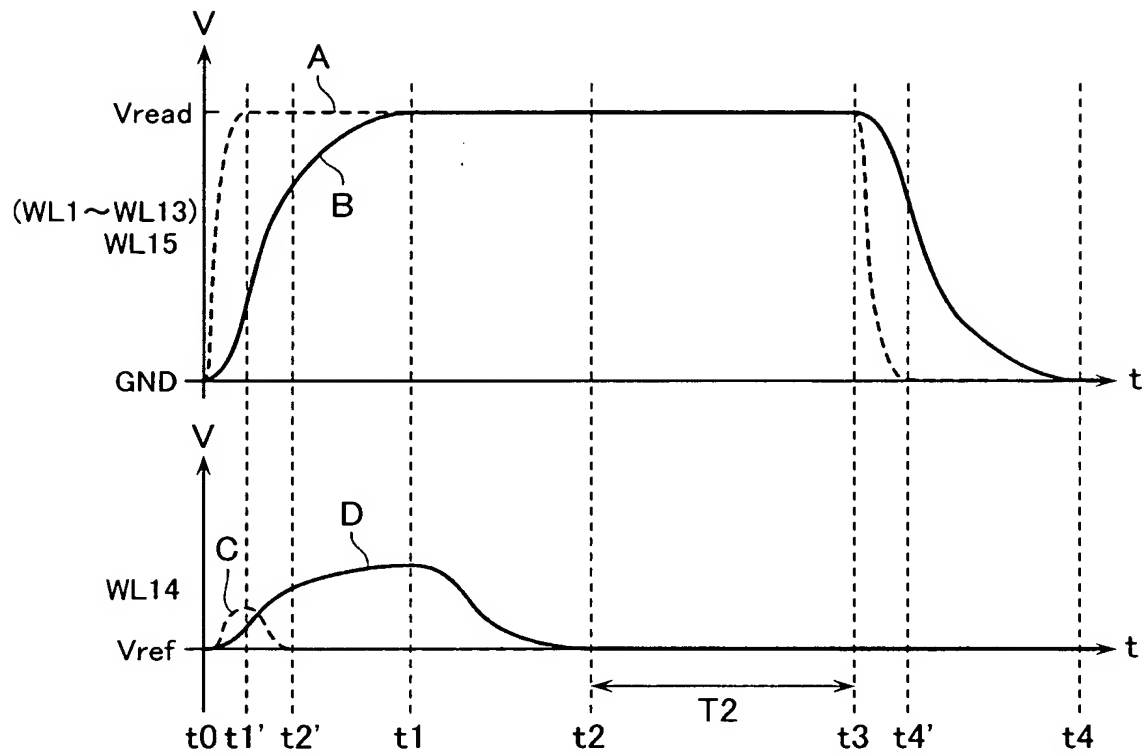
【図 40】



【図 41】



【図 42】



【書類名】 要約書**【要約】**

【課題】 読み出し及び書き込みの高速化を図った半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、互いに平行に配置された複数のデータ選択線、これらのデータ選択線と交差するように互いに平行に配置された複数のデータ転送線、及びこれらのデータ選択線とデータ転送線の各交差部に配置された電氣的書き換え可能なメモリセルを有するメモリセルアレイと、前記メモリセルアレイのデータ選択線を駆動するデータ選択線ドライバと、前記メモリセルアレイのデータ転送線に接続されて、前記データ選択線の一つにより選択されたメモリセルのデータ読み出しを行うセンスアンプ回路と、前記メモリセルアレイのデータ読み出しのタイミング制御に用いられる、前記メモリセルアレイの選択されたデータ領域に応じて異なる少なくとも二種のタイミング信号を出力する制御回路とを有する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-328742
受付番号	50301555408
書類名	特許願
担当官	田丸 三喜男 9079
作成日	平成15年 9月26日

<認定情報・付加情報>

【提出日】	平成15年 9月19日
【特許出願人】	
【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目1番1号
【氏名又は名称】	株式会社東芝
【代理人】	申請人
【識別番号】	100092820
【住所又は居所】	東京都千代田区九段北4丁目2番11号 第2星 光ビル301号 きさらぎ国際特許事務所
【氏名又は名称】	伊丹 勝

特願 2 0 0 3 - 3 2 8 7 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝